



D21x 硬件指南

Version 1.2

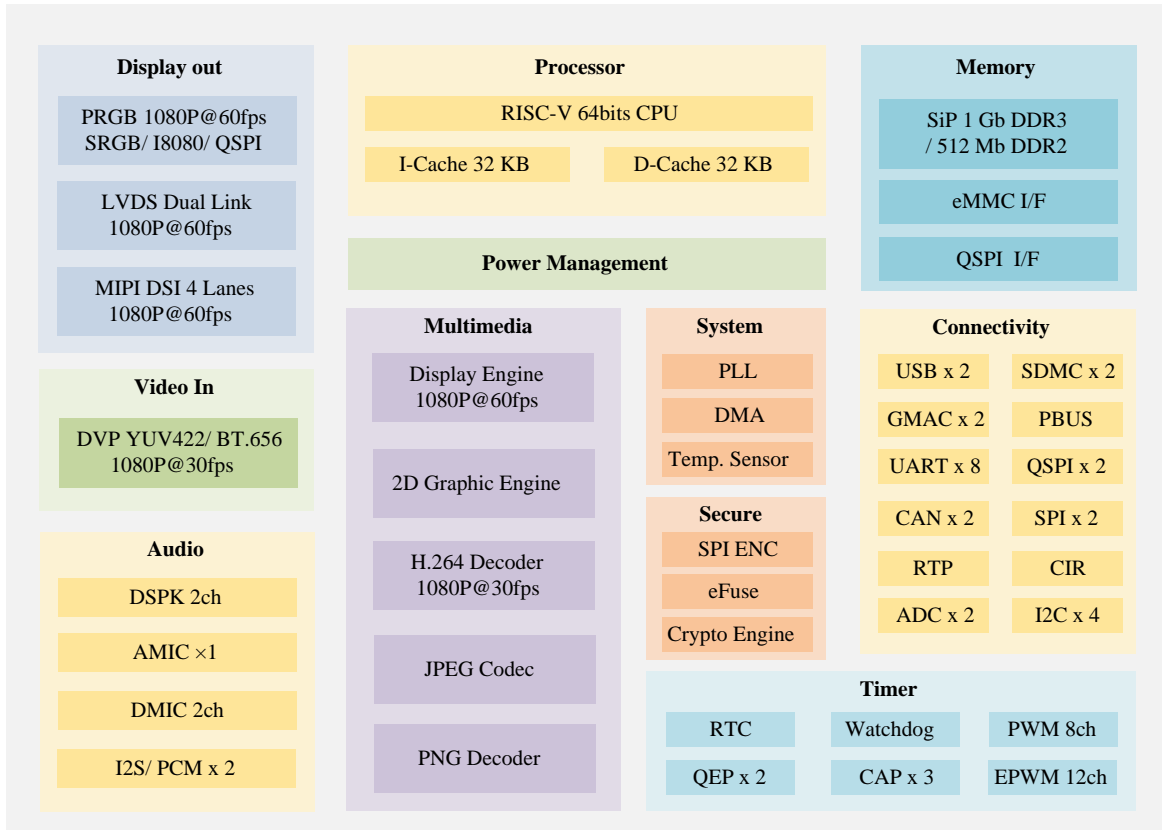
修订日期： 2024-02-21

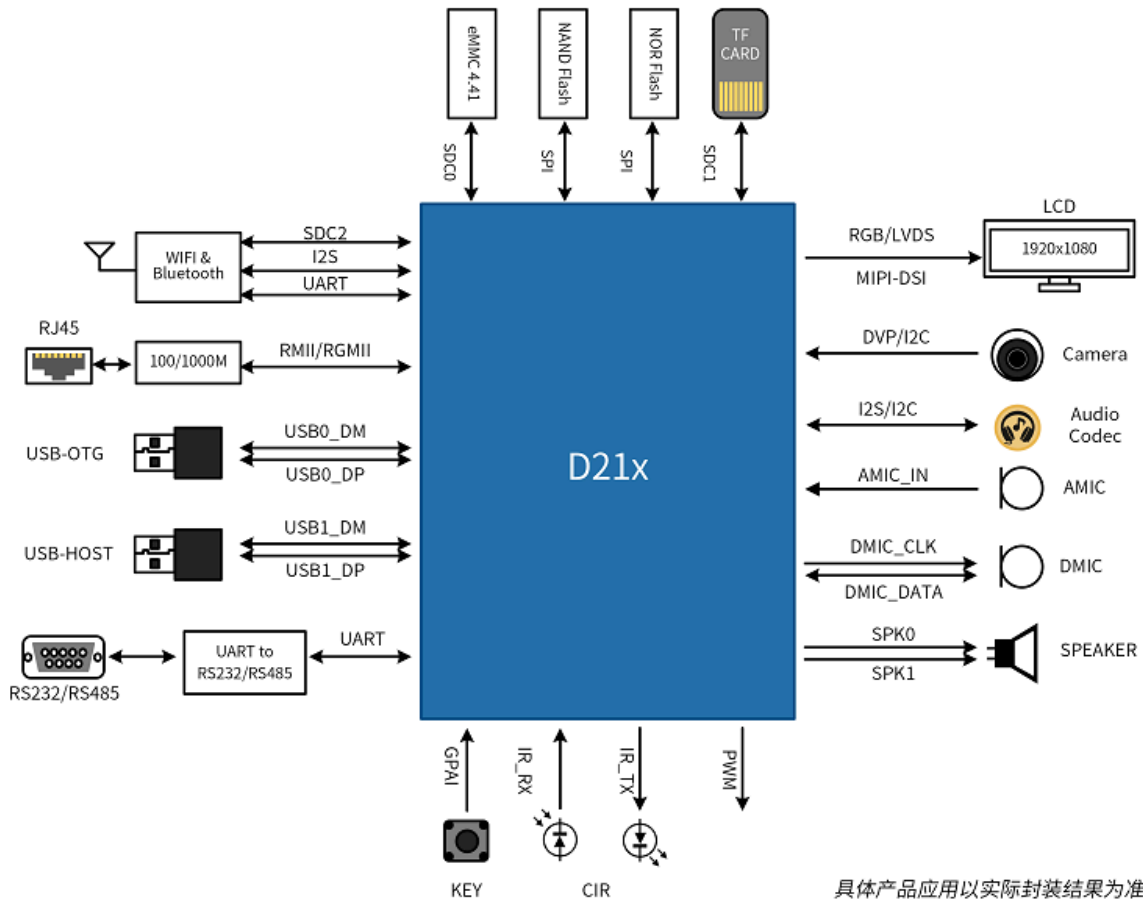
内容

1. 简介.....	3
2. 原理图设计.....	5
2.1. 引脚复用.....	5
2.1.1. 封装引脚说明.....	7
2.2. 时钟和电源.....	16
2.2.1. Power.....	16
2.2.2. SYS.....	18
2.2.3. PLL.....	18
2.2.4. RTC.....	18
2.3. 存储.....	18
2.3.1. DRAM.....	18
2.3.2. FLASH.....	18
2.3.3. eMMC.....	19
2.3.4. CARD.....	20
2.4. 多媒体.....	21
2.4.1. PRGB 屏接口.....	21
2.4.2. LVDS 屏接口.....	23
2.4.3. MIPI-DSI屏接口.....	25
2.4.4. MCU 屏接口.....	25
2.4.5. TP.....	27
2.4.6. PWM.....	27
2.4.7. DVP.....	28
2.4.8. AUDIO.....	29
2.5. 通用接口.....	30
2.5.1. SPI.....	30
2.5.2. UART.....	31
2.5.3. I2C.....	32
2.5.4. CAN.....	32
2.5.5. CIR.....	32
2.5.6. SDIO.....	33
3. 布线设计.....	35
3.1. 电源.....	35
3.2. 布局.....	35
3.3. 旁路和去耦.....	35
3.4. DCDC 电路.....	35
3.5. 高速信号.....	35
3.6. 屏蔽.....	35
3.7. 隔离.....	36
3.8. 信号回流路径.....	36
4. 设计自查.....	37

1. 简介

D21x 是一款高性能的全高清显示和智能控制 SoC，采用国产自主 64 位高算力 RISC-V 内核，内置 16 位 DDR 控制器。D21x 提供丰富的互联外设接口，配备了 2D 图像加速引擎和 H.264 解码引擎，可以满足各类交互设计场景和多媒体互动体验，具有高可靠性、高安全性、高开放度的设计标准，可以面向于泛工业领域应用。





2. 原理图设计

2.1. 引脚复用

引脚	功能2	功能3	功能4	功能5	功能6	功能7	功能8
PA0	GPADC0	PSADC0	I2C0_SCL	UART0_TX	AMIC_IN	IR_TX	-
PA1	GPADC1	PSADC1	I2C0_SDA	UART0_RX	AMIC_BIAS	IR_RX	-
PA2	GPADC2	PSADC2	-	UART0_RTS	-	-	-
PA3	GPADC3	PSADC3	-	UART0_CTS	-	-	-
PA4	GPADC4	PSADC4	-	UART1_TX	-	-	-
PA5	GPADC5	PSADC5	-	UART1_RX	-	-	-
PA6	GPADC6	PSADC6	I2C1_SCL	UART1_RTS	-	-	-
PA7	GPADC7	PSADC7	I2C1_SDA	UART1_CTS	-	-	-
PA8	RTP_XP	PSADC8	I2C2_SCL	UART2_TX	JTAG_DO	-	-
PA9	RTP_YP	PSADC9	I2C2_SDA	UART2_RX	JTAG_DI	-	-
PA10	RTP_XN	PSADC10	I2C3_SCL	UART2_RTS	JTAG_MS	-	-
PA11	RTP_YN	PSADC11	I2C3_SDA	UART2_CTS	JTAG_CK	-	-
PB0	SDC0_CMD	SPI0_HOLD	I2C1_SCL	UART7_TX	-	-	-
PB1	SDC0_CLK	SPI0_WP	I2C1_SDA	UART7_RX	-	-	-
PB2	SDC0_D3	SPI0_CS	-	-	-	-	-
PB3	SDC0_D0	SPI0_MISO	-	-	-	-	-
PB4	SDC0_D1	SPI0_MOSI	-	-	-	-	-
PB5	SDC0_D2	SPI0_CLK	-	-	-	-	-
PB6	SDC0_D4	SPI1_HOLD	I2C2_SCL	UART4_TX	-	CLK_OUT2	CLK_OUT3
PB7	SDC0_D5	SPI1_WP	I2C2_SDA	UART4_RX	-	-	-
PB8	SDC0_D6	SPI1_CS	UART4_RTS	UART5_TX	-	IR_RX	-
PB9	SDC0_D7	SPI1_MISO	UART6_RTS	UART5_RX	-	IR_TX	-
PB10	SDC0_DS	SPI1_MOSI	-	UART6_TX	-	-	-
PB11	SDC0_RST	SPI1_CLK	-	UART6_RX	-	-	-
PC0	SDC1_D1	LCD_D5	SPI2_CLK	UART1_TX	JTAG_MS	PWM0_A	-
PC1	SDC1_D0	LCD_D4	SPI2_CS	UART1_RX	JTAG_DI	PWM0_B	-
PC2	SDC1_CLK	LCD_D3	SPI2_MOSI	UART1_RTS	UART0_TX	PWM1_A	-
PC3	SDC1_CMD	LCD_D2	SPI2_MISO	UART2_TX	JTAG_DO	PWM1_B	-
PC4	SDC1_D3	LCD_D1	-	UART2_RX	UART0_RX	PWM2_A	-
PC5	SDC1_D2	LCD_D0	UART2_RTS	UART3_TX	JTAG_CK	PWM2_B	-
PC6	SDC1_DET	CLK_OUT0	DE_TE	UART3_RX	-	PWM3_A	-
PC7	-	-	-	UART3_RTS	-	PWM3_B	-
PD0	LCD_D0	SPI2_CLK	-	-	PBUS_AD0	PWM0_A	-
PD1	LCD_D1	SPI2_CS	-	-	PBUS_AD1	PWM0_B	-
PD2	LCD_D2	SPI2_MOSI	DE_TE	-	PBUS_AD2	PWM1_A	-
PD3	LCD_D3	SPI3_CLK	-	-	PBUS_AD3	PWM1_B	-
PD4	LCD_D4	SPI3_CS	-	-	PBUS_AD4	PWM2_A	-

引脚	功能2	功能3	功能4	功能5	功能6	功能7	功能8
PD5	LCD_D5	SPI3_MOSI	-	-	PBUS_AD5	PWM2_B	-
PD6	LCD_D6	SPI3_MISO	I2C0_SCL	UART1_TX	PBUS_AD6	-	-
PD7	LCD_D7	SPI2_MISO	I2C0_SDA	UART1_RX	PBUS_AD7	-	-
PD8	LCD_D8	LVDS1_D0N	SPI1_HOLD	UART2_TX	PBUS_AD8	EPWM0_A	-
PD9	LCD_D9	LVDS1_D0P	SPI1_WP	UART2_RX	PBUS_AD9	EPWM0_B	-
PD10	LCD_D10	LVDS1_D1N	SPI1_CS	UART3_TX	PBUS_AD10	EPWM1_A	-
PD11	LCD_D11	LVDS1_D1P	SPI1_MISO	UART3_RX	PBUS_AD11	EPWM1_B	-
PD12	LCD_D12	LVDS1_D2N	SPI1_MOSI	UART4_TX	PBUS_AD12	EPWM2_A	-
PD13	LCD_D13	LVDS1_D2P	SPI1_CLK	UART4_RX	PBUS_AD13	EPWM2_B	-
PD14	LCD_D14	LVDS1_CKN	SPI3_CLK	CAP0	PBUS_AD14	QEPO_H0	-
PD15	LCD_D15	LVDS1_CKP	SPI3_CS	CAP1	PBUS_AD15	QEPO_H1	-
PD16	LCD_D16	LVDS1_D3N	SPI3_MOSI	CAP2	PBUS_CLK	QEPO_H2	-
PD17	LCD_D17	LVDS1_D3P	SPI3_MISO	-	PBUS_NCS	QEPO_A	-
PD18	LCD_D18	LVDS0_D0N	DSI_D0N	I2C1_SCL	PBUS_NADV	QEPO_B	-
PD19	LCD_D19	LVDS0_D0P	DSI_D0P	I2C1_SDA	PBUS_NWE	QEPO_I	-
PD20	LCD_D20	LVDS0_D1N	DSI_D1N	UART7_TX	PBUS_NOE	QEPO_S	-
PD21	LCD_D21	LVDS0_D1P	DSI_D1P	UART7_RX	CLK_OUT0	-	-
PD22	LCD_D22	LVDS0_D2N	DSI_CKN	I2C3_SCL	UART6_TX	-	-
PD23	LCD_D23	LVDS0_D2P	DSI_CKP	I2C3_SDA	UART6_RX	-	-
PD24	LCD_DCLK	LVDS0_CKN	DSI_D2N	UART5_TX	SPI1_CLK	-	-
PD25	LCD_HS	LVDS0_CKP	DSI_D2P	UART5_RX	SPI1_CS	-	-
PD26	LCD_VS	LVDS0_D3N	DSI_D3N	PWM3_A	SPI1_MOSI	-	-
PD27	LCD_DE	LVDS0_D3P	DSI_D3P	PWM3_B	SPI1_MISO	-	RTC_32K
PE0	-	DVP_D0	I2C0_SCL	-	GMAC0_RXD1	EPWM3_A	PWM0_A
PE1	-	DVP_D1	I2C0_SDA	-	GMAC0_RXD0	EPWM3_B	PWM0_B
PE2	-	DVP_D2	CAN0_TX	UART4_TX	GMAC0_RXCTL	EPWM4_A	PWM1_A
PE3	-	DVP_D3	CAN0_RX	UART4_RX	GMAC0_CLKIN	EPWM4_B	PWM1_B
PE4	-	DVP_D4	CAN1_TX	UART5_TX	GMAC0_TXD1	EPWM5_A	PWM2_A
PE5	-	DVP_D5	CAN1_RX	UART5_RX	GMAC0_TXD0	EPWM5_B	PWM2_B
PE6	DSPK0	DVP_D6	UART5_RTS	UART6_TX	GMAC0_TXCK	QEP1_H0	CAP0
PE7	DSPK1	DVP_D7	UART7_RTS	UART6_RX	GMAC0_TXCTL	QEP1_H1	CAP1
PE8	I2S0_MCLK	DVP_CK	UART6_RTS	UART7_TX	GMAC0_MDC	QEP1_H2	CAP2
PE9	I2S0_BCLK	DVP_HS	UART6_CTS	UART7_RX	GMAC0_MDIO	QEP1_A	-
PE10	I2S0_LRCK	DVP_VS	DSPK0	-	CLK_OUT2	QEP1_B	-
PE11	I2S0_DOUT	I2S0_DIN	DSPK1	CLK_OUT1	GMAC0_RXD3	QEP1_I	-
PE12	I2S0_DIN	SPI3_CLK	DMIC_CLK	I2C2_SCL	GMAC0_RXD2	QEP1_S	-
PE13	-	SPI3_CS	DMIC_D0	I2C2_SDA	GMAC0_RXCK	CAP0	-
PE14	-	SPI3_MOSI	-	UART3_TX	GMAC0_TXD3	CAP1	-
PE15	-	SPI3_MISO	-	UART3_RX	GMAC0_TXD2	CAP2	-
PE16	-	SPI0_CLK	CAN0_TX	I2C3_SCL	GMAC0_TRIG	-	-
PE17	-	SPI0_CS	CAN0_RX	I2C3_SDA	GMAC0_PPSO	-	-
PE18	-	SPI0_MOSI	CAN1_TX	PWM3_A	GMAC1_TRIG	-	-

引脚	功能2	功能3	功能4	功能5	功能6	功能7	功能8
PE19	-	SPI0_MISO	CAN1_RX	PWM3_B	GMAC1_PPSO	-	-
PF0	SDC2_D1	SPI2_CLK	-	UART5_TX	GMAC1_RXD1	PBUS_AD0	-
PF1	SDC2_D0	SPI2_CS	-	UART5_RX	GMAC1_RXD0	PBUS_AD1	-
PF2	SDC2_CLK	SPI2_MOSI	-	UART5_RTS	GMAC1_RXCTL	PBUS_AD2	-
PF3	SDC2_CMD	SPI2_MISO	-	UART5_CTS	GMAC1_CLKIN	PBUS_AD3	-
PF4	SDC2_D3	-	-	UART6_TX	GMAC1_TXD1	PBUS_AD4	-
PF5	SDC2_D2	-	-	UART6_RX	GMAC1_TXD0	PBUS_AD5	-
PF6	-	-	-	UART7_TX	GMAC1_TXCK	PBUS_AD6	-
PF7	-	-	-	UART7_RX	GMAC1_TXCTL	PBUS_AD7	-
PF8	-	-	-	UART7_RTS	GMAC1_MDC	PBUS_AD8	-
PF9	-	-	-	UART7_CTS	GMAC1_MDIO	PBUS_AD9	-
PF10	I2S1_MCLK	I2S1_DIN	-	UART3_CTS	CLK_OUT3	PBUS_AD10	-
PF11	I2S1_BCLK	-	PBUS_AD11	UART3_TX	GMAC1_RXD3	PBUS_CLK	-
PF12	I2S1_LRCK	-	UART4_RTS	UART3_RX	GMAC1_RXD2	PBUS_NCS	-
PF13	I2S1_DOUT	I2S1_DIN	UART4_CTS	UART3_RTS	GMAC1_RXCK	PBUS_NADV	-
PF14	I2S1_DIN	DSPK0	DMIC_D0	UART4_TX	GMAC1_TXD3	PBUS_NWE	-
PF15	DE_TE	DSPK1	DMIC_CLK	UART4_RX	GMAC1_TXD2	PBUS_NOE	-
PU0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
PU1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-
PU2	USB1_DM	-	UART0_RX	UART2_RX	-	-	-
PU3	USB1_DP	-	UART0_TX	UART2_TX	-	-	-

2.1.1. 封装引脚说明

2.1.1.1. D211BB/ D211BC QFN88 封装引脚说明

表 2-1 D211BB (Sip DDR2)/ D211BC (Sip DDR3) QFN88 封装引脚说明

引脚	定义	类型	功能	备注说明
RTC				
1	RTC_IO	OD	RTC 唤醒 32K 时钟输出	OD 输出，外部需上拉电阻，上拉电压不能超过 5 V。
2	RTC_VCOIN	POWER	-	不考虑掉电保持可悬空，内部有二极管从 3.3 V 取电，外挂供电需接 RC 延迟上电 (10 K Ω /0.1 μ F)。
3	RTC_XO	OUTPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
4	RTC_XI	INPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
SYSTEM				
75	RESETN	INPUT	系统复位	内置约 30 K Ω 上拉电阻和去抖滤波，不使用可直接悬空，若外挂电容建议不超过 4.7 μ F。
76	PLL_XO	OUTPUT	-	接 24 MHz 无源晶振。
77	PLL_XI	INPUT	-	接 24 MHz 无源晶振。
POWER				
58, 80	VCC33_IO0	POWER	芯片 IO 电压	3.3 V 供电。

表 2-1 D211BB (Sip DDR2)/ D211BC (Sip DDR3) QFN88 封装引脚说明 (续)

引脚	定义	类型	功能	备注说明
7, 40	VCC33_IO1	POWER	芯片 IO 电压	3.3 V 供电。
81	VCC30_ANA	POWER	内置 LDO 输出	内部模拟模块使用, 外部接 1 uF 旁路电容。
42	LDO25	POWER	内置 LDO 输出	内部模块使用, 外部接 1 uF 旁路电容。
41	LDO1x	POWER	内置 LDO 输出	可配置, 外部接 1 uF 电容, 若使用需做好芯片散热。
43, 45, 46	VCC_DRAM	POWER	DRAM 电压	DDR2 1.8 V 供电; DDR3 1.5 V 供电。
20, 44, 53, 73, 74	VDD11_SYS	POWER	芯片 Core 电压	1.2 V 供电 @600 Mhz, 1.1 V 供电 @504 Mhz。
89	GND	POWER	-	GND 铜皮全连接, 需多加过孔散热。

表 2-2 D211BB (Sip DDR2) / D211BC (Sip DDR3) QFN88 封装功能复用表

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
GPIO A								
82	PA0	GPADC0	PSADC0	I2C0_SCL	UART0_TX	AMIC_IN	IR_TX	-
83	PA1	GPADC1	PSADC1	I2C0_SDA	UART0_RX	AMIC_BIAS	IR_RX	-
84	PA7	GPADC7	PSADC7	I2C1_SDA	UART1_CTS	-	-	-
85	PA8	RTP_XP	PSADC8	I2C2_SCL	UART2_TX	JTAG_DO	-	-
86	PA9	RTP_YP	PSADC9	I2C2_SDA	UART2_RX	JTAG_DI	-	-
87	PA10	RTP_XN	PSADC10	I2C3_SCL	UART2_RTS	JTAG_MS	-	-
88	PA11	RTP_YN	PSADC11	I2C3_SDA	UART2_CTS	JTAG_CK	-	-
GPIO B								
47	PB0	SDC0_CMD	SPI0_HOLD	I2C1_SCL	UART7_TX	-	-	-
48	PB1	SDC0_CLK	SPI0_WP	I2C1_SDA	UART7_RX	-	-	-
49	PB2	SDC0_D3	SPI0_CS	-	-	-	-	-
50	PB3	SDC0_D0	SPI0_MISO	-	-	-	-	-
51	PB4	SDC0_D1	SPI0_MOSI	-	-	-	-	-
52	PB5	SDC0_D2	SPI0_CLK	-	-	-	-	-
GPIO C								
33	PC0	SDC1_D1	LCD_D5	SPI2_CLK	UART1_TX	JTAG_MS	PWM0_A	-
34	PC1	SDC1_D0	LCD_D4	SPI2_CS	UART1_RX	JTAG_DI	PWM0_B	-
35	PC2	SDC1_CLK	LCD_D3	SPI2_MOSI	UART1_RTS	UART0_TX	PWM1_A	-
36	PC3	SDC1_CMD	LCD_D2	SPI2_MISO	UART2_TX	JTAG_DO	PWM1_B	-
37	PC4	SDC1_D3	LCD_D1	-	UART2_RX	UART0_RX	PWM2_A	-
38	PC5	SDC1_D2	LCD_D0	UART2_RTS	UART3_TX	JTAG_CK	PWM2_B	-
39	PC6	SDC1_DET	CLK_OUT0	DE_TE	UART3_RX	-	PWM3_A	-
GPIO D								
32	PD6	LCD_D6	SPI3_MISO	I2C0_SCL	UART1_TX	-	-	-
31	PD7	LCD_D7	SPI2_MISO	I2C0_SDA	UART1_RX	-	-	-
30	PD8	LCD_D8	LVDS1_D0N	SPI1_HOLD	UART2_TX	-	EPWM0_A	-
29	PD9	LCD_D9	LVDS1_D0P	SPI1_WP	UART2_RX	-	EPWM0_B	-
28	PD10	LCD_D10	LVDS1_D1N	SPI1_CS	UART3_TX	-	EPWM1_A	-
27	PD11	LCD_D11	LVDS1_D1P	SPI1_MISO	UART3_RX	-	EPWM1_B	-

表 2-2 D211BB (Sip DDR2) / D211BC (Sip DDR3) QFN88 封装功能复用表 (续)

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
26	PD12	LCD_D12	LVDS1_D2N	SPI1_MOSI	UART4_TX	-	EPWM2_A	-
25	PD13	LCD_D13	LVDS1_D2P	SPI1_CLK	UART4_RX	-	EPWM2_B	-
24	PD14	LCD_D14	LVDS1_CKN	SPI3_CLK	CAP0	-	QEPO_H0	-
23	PD15	LCD_D15	LVDS1_CKP	SPI3_CS	CAP1	-	QEPO_H1	-
22	PD16	LCD_D16	LVDS1_D3N	SPI3_MOSI	CAP2	-	QEPO_H2	-
21	PD17	LCD_D17	LVDS1_D3P	SPI3_MISO	-	-	QEPO_A	-
19	PD18	LCD_D18	LVDS0_D0N	DSI_D0N	I2C1_SCL	-	QEPO_B	-
18	PD19	LCD_D19	LVDS0_D0P	DSI_D0P	I2C1_SDA	-	QEPO_I	-
17	PD20	LCD_D20	LVDS0_D1N	DSI_D1N	UART7_TX	-	QEPO_S	-
16	PD21	LCD_D21	LVDS0_D1P	DSI_D1P	UART7_RX	CLK_OUT0	-	-
15	PD22	LCD_D22	LVDS0_D2N	DSI_CKN	I2C3_SCL	UART6_TX	-	-
14	PD23	LCD_D23	LVDS0_D2P	DSI_CKP	I2C3_SDA	UART6_RX	-	-
13	PD24	LCD_DCLK	LVDS0_CKN	DSI_D2N	UART5_TX	SPI1_CLK	-	-
12	PD25	LCD_HS	LVDS0_CKP	DSI_D2P	UART5_RX	SPI1_CS	-	-
11	PD26	LCD_VS	LVDS0_D3N	DSI_D3N	PWM3_A	SPI1_MOSI	-	-
10	PD27	LCD_DE	LVDS0_D3P	DSI_D3P	PWM3_B	SPI1_MISO	-	RTC_32K
GPIO E								
54	PE0	-	DVP_D0	I2C0_SCL	-	EMAC0_RXD1	EPWM3_A	PWM0_A
55	PE1	-	DVP_D1	I2C0_SDA	-	EMAC0_RXD0	EPWM3_B	PWM0_B
56	PE2	-	DVP_D2	CAN0_TX	UART4_TX	EMAC0_CRS_DV	EPWM4_A	PWM1_A
57	PE3	-	DVP_D3	CAN0_RX	UART4_RX	EMAC0_REFCLK	EPWM4_B	PWM1_B
59	PE4	-	DVP_D4	CAN1_TX	UART5_TX	EMAC0_TXD1	EPWM5_A	PWM2_A
60	PE5	-	DVP_D5	CAN1_RX	UART5_RX	EMAC0_TXD0	EPWM5_B	PWM2_B
61	PE6	DSPK0	DVP_D6	UART5_RTS	UART6_TX	EMAC0_TXC	QEP1_H0	CAP0
62	PE7	DSPK1	DVP_D7	UART7_RTS	UART6_RX	EMAC0_TXEN	QEP1_H1	CAP1
63	PE8	I2S0_MCLK	DVP_CK	UART6_RTS	UART7_TX	EMAC0_MDC	QEP1_H2	CAP2
64	PE9	I2S0_BCLK	DVP_HS	UART6_CTS	UART7_RX	EMAC0_MDIO	QEP1_A	-
65	PE10	I2S0_LRCK	DVP_VS	DSPK0	-	CLK_OUT2	QEP1_B	-
66	PE11	I2S0_DOUT	I2S0_DIN	DSPK1	CLK_OUT1	-	QEP1_I	-
67	PE14	-	SPI3_MOSI	-	UART3_TX	-	CAP1	-
68	PE15	-	SPI3_MISO	-	UART3_RX	-	CAP2	-
69	PE16	-	SPI0_CLK	CAN0_TX	I2C3_SCL	-	-	-
70	PE17	-	SPI0_CS	CAN0_RX	I2C3_SDA	-	-	-
71	PE18	-	SPI0_MOSI	CAN1_TX	PWM3_A	-	-	-
72	PE19	-	SPI0_MISO	CAN1_RX	PWM3_B	-	-	-
GPIO F								
5	PF0	SDC2_D1	SPI2_CLK	-	UART5_TX	-	-	-
6	PF1	SDC2_D0	SPI2_CS	-	UART5_RX	-	-	-
8	PF14	I2S1_DIN	DSPK0	DMIC_D0	UART4_TX	-	-	-
9	PF15	DE_TE	DSPK1	DMIC_CLK	UART4_RX	-	-	-
USB								

表 2-2 D211BB (Sip DDR2) / D211BC (Sip DDR3) QFN88 封装功能复用表 (续)

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
78	PU0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
79	PU1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-

2.1.1.2. D211DB/ D211DC QFN100 封装引脚说明

表 2-3 D211DB (Sip DDR2) / D211DC (Sip DDR3) QFN100 封装引脚说明

引脚	定义	类型	功能	备注说明
RTC				
74	RTC_IO	OD	RTC 唤醒 32K 时钟输出	OD 输出，外部需上拉电阻，上拉电压不能超过 5 V。
75	RTC_VCOIN	POWER	-	不考虑掉电保持可悬空，内部有二极管从 3.3 V 取电，外挂供电需接 RC 延迟上电 (10 K Ω / 0.1 μ F)。
76	RTC_XO	OUTPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
77	RTC_XI	INPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
SYSTEM				
58	RESETN	INPUT	系统复位	内置约 30 K Ω 上拉电阻和去抖滤波，不使用可直接悬空，若外挂电容建议不超过 4.7 μ F。
59	PLL_XO	OUTPUT	-	接 24 MHz 无源晶振。
60	PLL_XI	INPUT	-	接 24 MHz 无源晶振。
POWER				
41, 65	VCC33_IO0	POWER	芯片 IO 电压	3.3 V 供电。
21, 88	VCC33_IO1	POWER	芯片 IO 电压	3.3 V 供电。
66	VCC30_ANA	POWER	内置 LDO 输出	内部模拟模块使用，外部接 1 μ F 旁路电容。
23	LDO25	POWER	内置 LDO 输出	内部模块使用，外部接 1 μ F 旁路电容。
22	LDO1x	POWER	内置 LDO 输出	可配置，外部接 1 μ F 电容，若使用需做好芯片散热。
24, 26, 27, 29	VCC_DRAM	POWER	DRAM 电压	DDR2 1.8 V 供电；DDR3 1.5 V 供电。
1, 25, 28, 36, 56, 57	VDD11_SYS	POWER	芯片 Core 电压	1.2 V 供电@600 Mhz, 1.1 V 供电@504 Mhz。
101	GND	POWER	-	GND 铜皮全连接，需多加过孔散热。

表 2-4 D211DB (Sip DDR2) / D211DC(Sip DDR3) QFN100 封装功能复用表

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
GPIO A								
67	PA0	GPADC0	PSADC0	I2C0_SCL	UART0_TX	AMIC_IN	IR_TX	-
68	PA1	GPADC1	PSADC1	I2C0_SDA	UART0_RX	AMIC_BIAS	IR_RX	-
69	PA7	GPADC7	PSADC7	I2C1_SDA	UART1_CTS	-	-	-
70	PA8	RTP_XP	PSADC8	I2C2_SCL	UART2_TX	JTAG_DO	-	-
71	PA9	RTP_YP	PSADC9	I2C2_SDA	UART2_RX	JTAG_DI	-	-
72	PA10	RTP_XN	PSADC10	I2C3_SCL	UART2_RTS	JTAG_MS	-	-
73	PA11	RTP_YN	PSADC11	I2C3_SDA	UART2_CTS	JTAG_CK	-	-

表 2-4 D211DB (Sip DDR2) / D211DC(Sip DDR3) QFN100 封装功能复用表 (续)

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
GPIO B								
30	PB0	SDC0_CMD	SPI0_HOLD	I2C1_SCL	UART7_TX	-	-	-
31	PB1	SDC0_CLK	SPI0_WP	I2C1_SDA	UART7_RX	-	-	-
32	PB2	SDC0_D3	SPI0_CS	-	-	-	-	-
33	PB3	SDC0_D0	SPI0_MISO	-	-	-	-	-
34	PB4	SDC0_D1	SPI0_MOSI	-	-	-	-	-
35	PB5	SDC0_D2	SPI0_CLK	-	-	-	-	-
GPIO C								
14	PC0	SDC1_D1	LCD_D5	SPI2_CLK	UART1_TX	JTAG_MS	PWM0_A	-
15	PC1	SDC1_D0	LCD_D4	SPI2_CS	UART1_RX	JTAG_DI	PWM0_B	-
16	PC2	SDC1_CLK	LCD_D3	SPI2_MOSI	UART1_RTS	UART0_TX	PWM1_A	-
17	PC3	SDC1_CMD	LCD_D2	SPI2_MISO	UART2_TX	JTAG_DO	PWM1_B	-
18	PC4	SDC1_D3	LCD_D1	-	UART2_RX	UART0_RX	PWM2_A	-
19	PC5	SDC1_D2	LCD_D0	UART2_RTS	UART3_TX	JTAG_CK	PWM2_B	-
20	PC6	SDC1_DET	CLK_OUT0	DE_TE	UART3_RX	-	PWM3_A	-
GPIO D								
13	PD6	LCD_D6	SPI3_MISO	I2C0_SCL	UART1_TX	PBUS_AD6	-	-
12	PD7	LCD_D7	SPI2_MISO	I2C0_SDA	UART1_RX	PBUS_AD7	-	-
11	PD8	LCD_D8	LVDS1_D0N	SPI1_HOLD	UART2_TX	PBUS_AD8	EPWM0_A	-
10	PD9	LCD_D9	LVDS1_D0P	SPI1_WP	UART2_RX	PBUS_AD9	EPWM0_B	-
9	PD10	LCD_D10	LVDS1_D1N	SPI1_CS	UART3_TX	PBUS_AD10	EPWM1_A	-
8	PD11	LCD_D11	LVDS1_D1P	SPI1_MISO	UART3_RX	PBUS_AD11	EPWM1_B	-
7	PD12	LCD_D12	LVDS1_D2N	SPI1_MOSI	UART4_TX	PBUS_AD12	EPWM2_A	-
6	PD13	LCD_D13	LVDS1_D2P	SPI1_CLK	UART4_RX	PBUS_AD13	EPWM2_B	-
5	PD14	LCD_D14	LVDS1_CKN	SPI3_CLK	CAP0	PBUS_AD14	QEPO_H0	-
4	PD15	LCD_D15	LVDS1_CKP	SPI3_CS	CAP1	PBUS_AD15	QEPO_H1	-
3	PD16	LCD_D16	LVDS1_D3N	SPI3_MOSI	CAP2	PBUS_CLK	QEPO_H2	-
2	PD17	LCD_D17	LVDS1_D3P	SPI3_MISO	-	PBUS_NCS	QEPO_A	-
100	PD18	LCD_D18	LVDS0_D0N	DSI_D0N	I2C1_SCL	PBUS_NADV	QEPO_B	-
99	PD19	LCD_D19	LVDS0_D0P	DSI_D0P	I2C1_SDA	PBUS_NWE	QEPO_I	-
98	PD20	LCD_D20	LVDS0_D1N	DSI_D1N	UART7_TX	PBUS_NOE	QEPO_S	-
97	PD21	LCD_D21	LVDS0_D1P	DSI_D1P	UART7_RX	CLK_OUT0	-	-
96	PD22	LCD_D22	LVDS0_D2N	DSI_CKN	I2C3_SCL	UART6_TX	-	-
95	PD23	LCD_D23	LVDS0_D2P	DSI_CKP	I2C3_SDA	UART6_RX	-	-
94	PD24	LCD_DCLK	LVDS0_CKN	DSI_D2N	UART5_TX	SPI1_CLK	-	-
93	PD25	LCD_HS	LVDS0_CKP	DSI_D2P	UART5_RX	SPI1_CS	-	-
92	PD26	LCD_VS	LVDS0_D3N	DSI_D3N	PWM3_A	SPI1_MOSI	-	-
91	PD27	LCD_DE	LVDS0_D3P	DSI_D3P	PWM3_B	SPI1_MISO	-	RTC_32K
GPIO E								
37	PE0	-	DVP_D0	I2C0_SCL	-	EMAC0_RXD1	EPWM3_A	PWM0_A
38	PE1	-	DVP_D1	I2C0_SDA	-	EMAC0_RXD0	EPWM3_B	PWM0_B

表 2-4 D211DB (Sip DDR2) / D211DC(Sip DDR3) QFN100 封装功能复用表 (续)

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
39	PE2	-	DVP_D2	CAN0_TX	UART4_TX	EMAC0_CRS_DV	EPWM4_A	PWM1_A
40	PE3	-	DVP_D3	CAN0_RX	UART4_RX	EMAC0_REFCLK	EPWM4_B	PWM1_B
42	PE4	-	DVP_D4	CAN1_TX	UART5_TX	EMAC0_TXD1	EPWM5_A	PWM2_A
43	PE5	-	DVP_D5	CAN1_RX	UART5_RX	EMAC0_TXD0	EPWM5_B	PWM2_B
44	PE6	DSPK0	DVP_D6	UART5_RTS	UART6_TX	EMAC0_TXC	QEP1_H0	CAP0
45	PE7	DSPK1	DVP_D7	UART7_RTS	UART6_RX	EMAC0_TXEN	QEP1_H1	CAP1
46	PE8	I2S0_MCLK	DVP_CK	UART6_RTS	UART7_TX	EMAC0_MDC	QEP1_H2	CAP2
47	PE9	I2S0_BCLK	DVP_HS	UART6_CTS	UART7_RX	EMAC0_MDIO	QEP1_A	-
48	PE10	I2S0_LRCK	DVP_VS	DSPK0	-	CLK_OUT2	QEP1_B	-
49	PE11	I2S0_DOUT	I2S0_DIN	DSPK1	CLK_OUT1	-	QEP1_I	-
50	PE14	-	SPI3_MOSI	-	UART3_TX	-	CAP1	-
51	PE15	-	SPI3_MISO	-	UART3_RX	-	CAP2	-
52	PE16	-	SPI0_CLK	CAN0_TX	I2C3_SCL	-	-	-
53	PE17	-	SPI0_CS	CAN0_RX	I2C3_SDA	-	-	-
54	PE18	-	SPI0_MOSI	CAN1_TX	PWM3_A	-	-	-
55	PE19	-	SPI0_MISO	CAN1_RX	PWM3_B	-	-	-
GPIO F								
78	PF0	SDC2_D1	SPI2_CLK	-	UART5_TX	EMAC1_RXD1	PBUS_AD0	-
79	PF1	SDC2_D0	SPI2_CS	-	UART5_RX	EMAC1_RXD0	PBUS_AD1	-
80	PF2	SDC2_CLK	SPI2_MOSI	-	UART5_RTS	EMAC1_CRS_DV	PBUS_AD2	-
81	PF3	SDC2_CMD	SPI2_MISO	-	UART5_CTS	EMAC1_REFCLK	PBUS_AD3	-
82	PF4	SDC2_D3	-	-	UART6_TX	EMAC1_TXD1	PBUS_AD4	-
83	PF5	SDC2_D2	-	-	UART6_RX	EMAC1_TXD0	PBUS_AD5	-
84	PF6	-	-	-	UART7_TX	EMAC1_TXC	PBUS_AD6	-
85	PF7	-	-	-	UART7_RX	EMAC1_TXEN	PBUS_AD7	-
86	PF8	-	-	-	UART7_RTS	EMAC1_MDC	PBUS_AD8	-
87	PF9	-	-	-	UART7_CTS	EMAC1_MDIO	PBUS_AD9	-
89	PF14	I2S1_DIN	DSPK0	DMIC_D0	UART4_TX	-	PBUS_NWE	-
90	PF15	DE_TE	DSPK1	DMIC_CLK	UART4_RX	-	PBUS_NOE	-
USB								
61	PU0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
62	PU1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-
63	PU2	USB1_DM	-	UART0_RX	UART2_RX	-	-	-
64	PU3	USB1_DP	-	UART0_TX	UART2_TX	-	-	-

2.1.1.3. D213EC QFN128 封装引脚说明

表 2-5 D213EC (Sip DDR3) QFN128 封装引脚说明

引脚	定义	类型	功能	备注说明
RTC				
97	RTC_IO	OD	RTC 唤醒 32K 时钟输出	OD 输出，外部需上拉电阻，上拉电压不能超过 5 V。

表 2-5 D213EC (Sip DDR3) QFN128 封装引脚说明 (续)

引脚	定义	类型	功能	备注说明
98	RTC_VCOIN	POWER	-	不考虑掉电保持可悬空，内部有二极管从 3.3V 取电，外挂供电需接 RC 延迟上电 (10 KΩ/0.1 μF)。
99	RTC_XO	OUTPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
100	RTC_XI	INPUT	-	接 32.768 KHz 无源晶振，若不使用 RTC 功能可悬空。
SYSTEM				
76	RESETN	INPUT	系统复位	内置约 30 KΩ 上拉电阻和去抖滤波，不使用可直接悬空，若外挂电容建议不超过 4.7 μF。
77	PLL_XO	OUTPUT	-	接 24 MHz 无源晶振。
78	PLL_XI	INPUT	-	接 24 MHz 无源晶振。
POWER				
41, 57, 83	VCC33_IO0	POWER	芯片 IO 电压	3.3 V 供电。
27, 114	VCC33_IO1	POWER	芯片 IO 电压	3.3 V 供电。
84	VCC30_ANA	POWER	内置 LDO 输出	内部模拟模块使用，外部接 1 μF 旁路电容。
29	LDO25	POWER	内置 LDO 输出	内部模块使用，外部接 1 μF 旁路电容。
28	LDO1x	POWER	内置 LDO 输出	可配置，外部接 1 μF 电容，若使用需做好芯片散热。
30, 32, 33, 35, 36	VCC_DRAM	POWER	DRAM 电压	DDR2 1.8 V 供电；DDR3 1.5 V 供电。
31, 34, 44, 74, 75, 128	VDD11_SYS	POWER	芯片 Core 电压	1.2 V 供电@600 Mhz, 1.1 V 供电@504 Mhz。
129	GND	POWER	-	GND 铜皮全连接，需多加过孔散热。
50, 56	NC	-	-	浮空，不能接任何信号。

表 2-6 D213EC (Sip DDR3) QFN128 封装功能复用表

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
GPIO A								
85	PA0	GPADC0	PSADC0	I2C0_SCL	UART0_TX	AMIC_IN	IR_TX	-
86	PA1	GPADC1	PSADC1	I2C0_SDA	UART0_RX	AMIC_BIAS	IR_RX	-
87	PA2	GPADC2	PSADC2	-	UART0_RTS	-	-	-
88	PA3	GPADC3	PSADC3	-	UART0_CTS	-	-	-
89	PA4	GPADC4	PSADC4	-	UART1_TX	-	-	-
90	PA5	GPADC5	PSADC5	-	UART1_RX	-	-	-
91	PA6	GPADC6	PSADC6	I2C1_SCL	UART1_RTS	-	-	-
92	PA7	GPADC7	PSADC7	I2C1_SDA	UART1_CTS	-	-	-
93	PA8	RTP_XP	PSADC8	I2C2_SCL	UART2_TX	JTAG_DO	-	-
94	PA9	RTP_YP	PSADC9	I2C2_SDA	UART2_RX	JTAG_DI	-	-
95	PA10	RTP_XN	PSADC10	I2C3_SCL	UART2_RTS	JTAG_MS	-	-
96	PA11	RTP_YN	PSADC11	I2C3_SDA	UART2_CTS	JTAG_CK	-	-
GPIO B								
37	PB0	SDC0_CMD	SPI0_HOLD	I2C1_SCL	UART7_TX	-	-	-
38	PB1	SDC0_CLK	SPI0_WP	I2C1_SDA	UART7_RX	-	-	-

表 2-6 D213EC (Sip DDR3) QFN128 封装功能复用表 (续)

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
39	PB2	SDC0_D3	SPI0_CS	-	-	-	-	-
40	PB3	SDC0_D0	SPI0_MISO	-	-	-	-	-
42	PB4	SDC0_D1	SPI0_MOSI	-	-	-	-	-
43	PB5	SDC0_D2	SPI0_CLK	-	-	-	-	-
45	PB6	SDC0_D4	SPI1_HOLD	I2C2_SCL	UART4_TX	-	CLK_OUT2	-
46	PB7	SDC0_D5	SPI1_WP	I2C2_SDA	UART4_RX	-	-	-
47	PB8	SDC0_D6	SPI1_CS	UART4_RTS	UART5_TX	-	IR_RX	-
48	PB9	SDC0_D7	SPI1_MISO	UART6_RTS	UART5_RX	-	IR_TX	-
49	PB10	SDC0_DS	SPI1_MOSI	-	UART6_TX	-	-	-
51	PB11	SDC0_RST	SPI1_CLK	-	UART6_RX	-	-	-
GPIO C								
19	PC0	SDC1_D1	LCD_D5	SPI2_CLK	UART1_TX	JTAG_MS	PWM0_A	-
20	PC1	SDC1_D0	LCD_D4	SPI2_CS	UART1_RX	JTAG_DI	PWM0_B	-
21	PC2	SDC1_CLK	LCD_D3	SPI2_MOSI	UART1_RTS	UART0_TX	PWM1_A	-
22	PC3	SDC1_CMD	LCD_D2	SPI2_MISO	UART2_TX	JTAG_DO	PWM1_B	-
23	PC4	SDC1_D3	LCD_D1	-	UART2_RX	UART0_RX	PWM2_A	-
24	PC5	SDC1_D2	LCD_D0	UART2_RTS	UART3_TX	JTAG_CK	PWM2_B	-
25	PC6	SDC1_DET	CLK_OUT0	DE_TE	UART3_RX	-	PWM3_A	-
26	PC7	-	-	-	UART3_RTS	-	PWM3_B	-
GPIO D								
18	PD0	LCD_D0	SPI2_CLK	-	-	PBUS_AD0	PWM0_A	-
17	PD1	LCD_D1	SPI2_CS	-	-	PBUS_AD1	PWM0_B	-
16	PD2	LCD_D2	SPI2_MOSI	DE_TE	-	PBUS_AD2	PWM1_A	-
15	PD3	LCD_D3	SPI3_CLK	-	-	PBUS_AD3	PWM1_B	-
14	PD4	LCD_D4	SPI3_CS	-	-	PBUS_AD4	PWM2_A	-
13	PD5	LCD_D5	SPI3_MOSI	-	-	PBUS_AD5	PWM2_B	-
12	PD6	LCD_D6	SPI3_MISO	I2C0_SCL	UART1_TX	PBUS_AD6	-	-
11	PD7	LCD_D7	SPI2_MISO	I2C0_SDA	UART1_RX	PBUS_AD7	-	-
10	PD8	LCD_D8	LVDS1_D0N	SPI1_HOLD	UART2_TX	PBUS_AD8	EPWM0_A	-
9	PD9	LCD_D9	LVDS1_D0P	SPI1_WP	UART2_RX	PBUS_AD9	EPWM0_B	-
8	PD10	LCD_D10	LVDS1_D1N	SPI1_CS	UART3_TX	PBUS_AD10	EPWM1_A	-
7	PD11	LCD_D11	LVDS1_D1P	SPI1_MISO	UART3_RX	PBUS_AD11	EPWM1_B	-
6	PD12	LCD_D12	LVDS1_D2N	SPI1_MOSI	UART4_TX	PBUS_AD12	EPWM2_A	-
5	PD13	LCD_D13	LVDS1_D2P	SPI1_CLK	UART4_RX	PBUS_AD13	EPWM2_B	-
4	PD14	LCD_D14	LVDS1_CKN	SPI3_CLK	CAP0	PBUS_AD14	QEPO_H0	-
3	PD15	LCD_D15	LVDS1_CKP	SPI3_CS	CAP1	PBUS_AD15	QEPO_H1	-
2	PD16	LCD_D16	LVDS1_D3N	SPI3_MOSI	CAP2	PBUS_CLK	QEPO_H2	-
1	PD17	LCD_D17	LVDS1_D3P	SPI3_MISO	-	PBUS_NCS	QEPO_A	-
127	PD18	LCD_D18	LVDS0_D0N	DSI_D0N	I2C1_SCL	PBUS_NADV	QEPO_B	-
126	PD19	LCD_D19	LVDS0_D0P	DSI_D0P	I2C1_SDA	PBUS_NWE	QEPO_I	-
125	PD20	LCD_D20	LVDS0_D1N	DSI_D1N	UART7_TX	PBUS_NOE	QEPO_S	-

表 2-6 D213EC (Sip DDR3) QFN128 封装功能复用表 (续)

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
124	PD21	LCD_D21	LVDS0_D1P	DSI_D1P	UART7_RX	CLK_OUT0	-	-
123	PD22	LCD_D22	LVDS0_D2N	DSI_CKN	I2C3_SCL	UART6_TX	-	-
122	PD23	LCD_D23	LVDS0_D2P	DSI_CKP	I2C3_SDA	UART6_RX	-	-
121	PD24	LCD_DCLK	LVDS0_CKN	DSI_D2N	UART5_TX	SPI1_CLK	-	-
120	PD25	LCD_HS	LVDS0_CKP	DSI_D2P	UART5_RX	SPI1_CS	-	-
119	PD26	LCD_VS	LVDS0_D3N	DSI_D3N	PWM3_A	SPI1_MOSI	-	-
118	PD27	LCD_DE	LVDS0_D3P	DSI_D3P	PWM3_B	SPI1_MISO	-	RTC_32K
GPIO E								
52	PE0	-	DVP_D0	I2C0_SCL	-	GMAC0_RXD1	EPWM3_A	PWM0_A
53	PE1	-	DVP_D1	I2C0_SDA	-	GMAC0_RXD0	EPWM3_B	PWM0_B
54	PE2	-	DVP_D2	CAN0_TX	UART4_TX	GMAC0_RXCTL	EPWM4_A	PWM1_A
55	PE3	-	DVP_D3	CAN0_RX	UART4_RX	GMAC0_CLKIN	EPWM4_B	PWM1_B
58	PE4	-	DVP_D4	CAN1_TX	UART5_TX	GMAC0_TXD1	EPWM5_A	PWM2_A
59	PE5	-	DVP_D5	CAN1_RX	UART5_RX	GMAC0_TXD0	EPWM5_B	PWM2_B
60	PE6	DSPK0	DVP_D6	UART5_RTS	UART6_TX	GMAC0_TXCK	QEP1_H0	CAP0
61	PE7	DSPK1	DVP_D7	UART7_RTS	UART6_RX	GMAC0_TXCTL	QEP1_H1	CAP1
62	PE8	I2S0_MCLK	DVP_CK	UART6_RTS	UART7_TX	GMAC0_MDC	QEP1_H2	CAP2
63	PE9	I2S0_BCLK	DVP_HS	UART6_CTS	UART7_RX	GMAC0_MDIO	QEP1_A	-
64	PE10	I2S0_LRCK	DVP_VS	DSPK0	-	CLK_OUT2	QEP1_B	-
65	PE11	I2S0_DOUT	I2S0_DIN	DSPK1	CLK_OUT1	GMAC0_RXD3	QEP1_I	-
66	PE12	I2S0_DIN	SPI3_CLK	DMIC_CLK	I2C2_SCL	GMAC0_RXD2	QEP1_S	-
67	PE13	-	SPI3_CS	DMIC_D0	I2C2_SDA	GMAC0_RXCK	CAP0	-
68	PE14	-	SPI3_MOSI	-	UART3_TX	GMAC0_TXD3	CAP1	-
69	PE15	-	SPI3_MISO	-	UART3_RX	GMAC0_TXD2	CAP2	-
70	PE16	-	SPI0_CLK	CAN0_TX	I2C3_SCL	GMAC0_TRIG	-	-
71	PE17	-	SPI0_CS	CAN0_RX	I2C3_SDA	GMAC0_PPSO	-	-
72	PE18	-	SPI0_MOSI	CAN1_TX	PWM3_A	GMAC1_TRIG	-	-
73	PE19	-	SPI0_MISO	CAN1_RX	PWM3_B	GMAC1_PPSO	-	-
GPIO F								
101	PF0	SDC2_D1	SPI2_CLK	-	UART5_TX	GMAC1_RXD1	PBUS_AD0	-
102	PF1	SDC2_D0	SPI2_CS	-	UART5_RX	GMAC1_RXD0	PBUS_AD1	-
103	PF2	SDC2_CLK	SPI2_MOSI	-	UART5_RTS	GMAC1_RXCTL	PBUS_AD2	-
104	PF3	SDC2_CMD	SPI2_MISO	-	UART5_CTS	GMAC1_CLKIN	PBUS_AD3	-
105	PF4	SDC2_D3	-	-	UART6_TX	GMAC1_TXD1	PBUS_AD4	-
106	PF5	SDC2_D2	-	-	UART6_RX	GMAC1_TXD0	PBUS_AD5	-
107	PF6	-	-	-	UART7_TX	GMAC1_TXCK	PBUS_AD6	-
108	PF7	-	-	-	UART7_RX	GMAC1_TXCTL	PBUS_AD7	-
109	PF8	-	-	-	UART7_RTS	GMAC1_MDC	PBUS_AD8	-
110	PF9	-	-	-	UART7_CTS	GMAC1_MDIO	PBUS_AD9	-
111	PF10	I2S1_MCLK	I2S1_DIN	-	UART3_CTS	CLK_OUT3	PBUS_AD10	-
112	PF11	I2S1_BCLK	-	PBUS_AD11	UART3_TX	GMAC1_RXD3	PBUS_CLK	-

表 2-6 D213EC (Sip DDR3) QFN128 封装功能复用表 (续)

引脚	功能1	功能2	功能3	功能4	功能5	功能6	功能7	功能8
113	PF12	I2S1_LRCK	-	UART4_RTS	UART3_RX	GMAC1_RXD2	PBUS_NCS	-
115	PF13	I2S1_DOUT	I2S1_DIN	UART4_CTS	UART3_RTS	GMAC1_RXCK	PBUS_NADV	-
116	PF14	I2S1_DIN	DSPK0	DMIC_D0	UART4_TX	GMAC1_TXD3	PBUS_NWE	-
117	PF15	DE_TE	DSPK1	DMIC_CLK	UART4_RX	GMAC1_TXD2	PBUS_NOE	-
USB								
79	PU0	USB0_DM	-	UART0_RX	UART1_RX	-	-	-
80	PU1	USB0_DP	-	UART0_TX	UART1_TX	-	-	-
81	PU2	USB1_DM	-	UART0_RX	UART2_RX	-	-	-
82	PU3	USB1_DP	-	UART0_TX	UART2_TX	-	-	-

2.2. 时钟和电源

2.2.1. Power

对于电源系统，芯片需提供以下功能：

- VDD11_SYS (CPU CORE 电源：1.2V/200mA CPU 600Mhz, 1.1V/200mA CPU 504Mhz)。

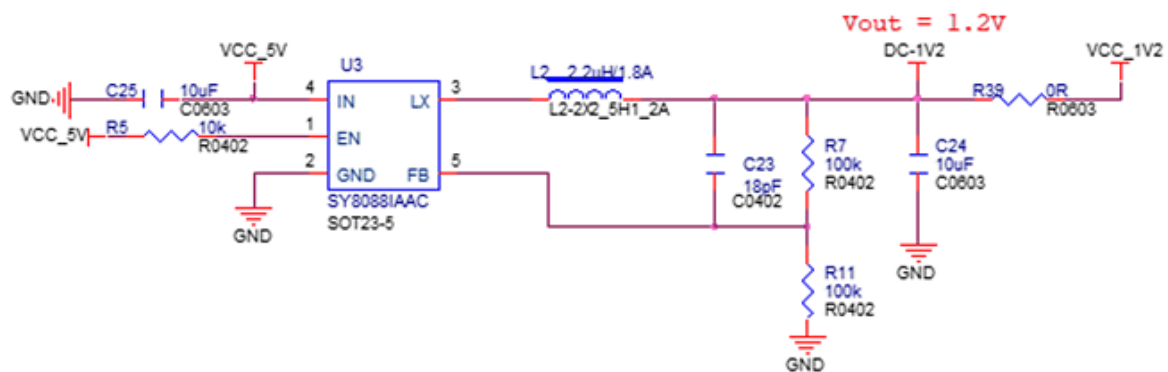


图 2-1 CPU CORE 电源 VDD11_SYS原理图

- VCC33_IO (CPU IO 电源：典型3.3V/100mA)。

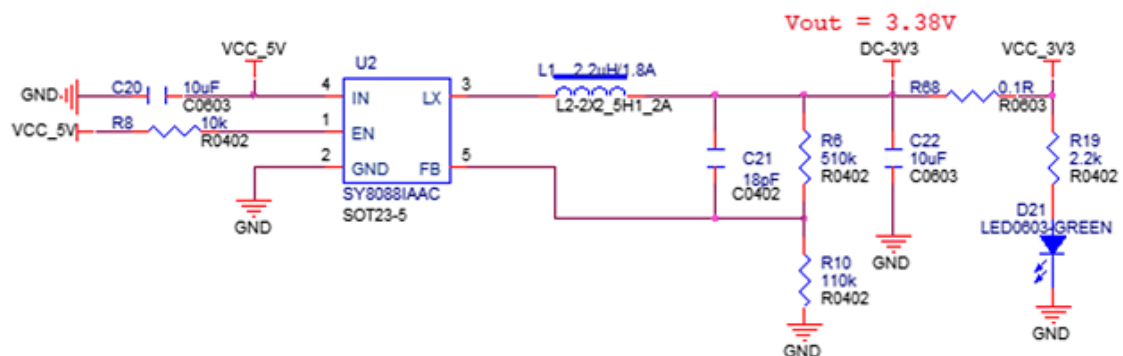


图 2-2 CPU IO 电源 VCC33_IO原理图

- VDDQ_DDR (DRAM 电源：1.8V/150mA DDR2, 1.5V/150mA DDR3)。

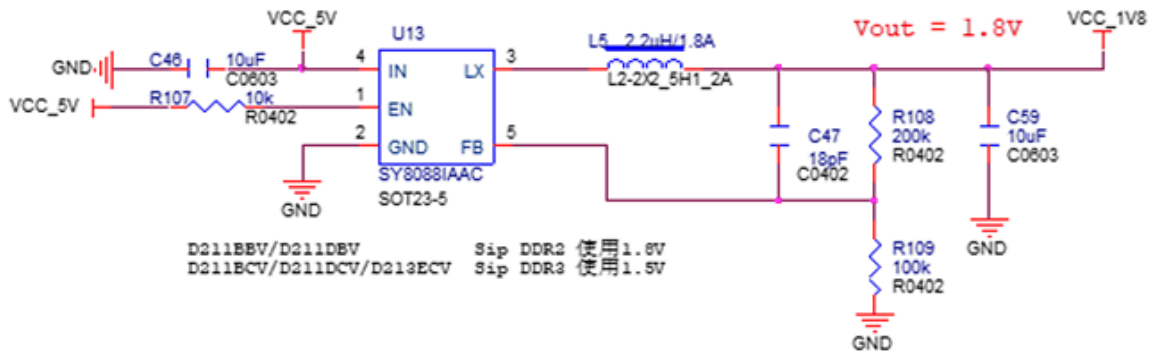
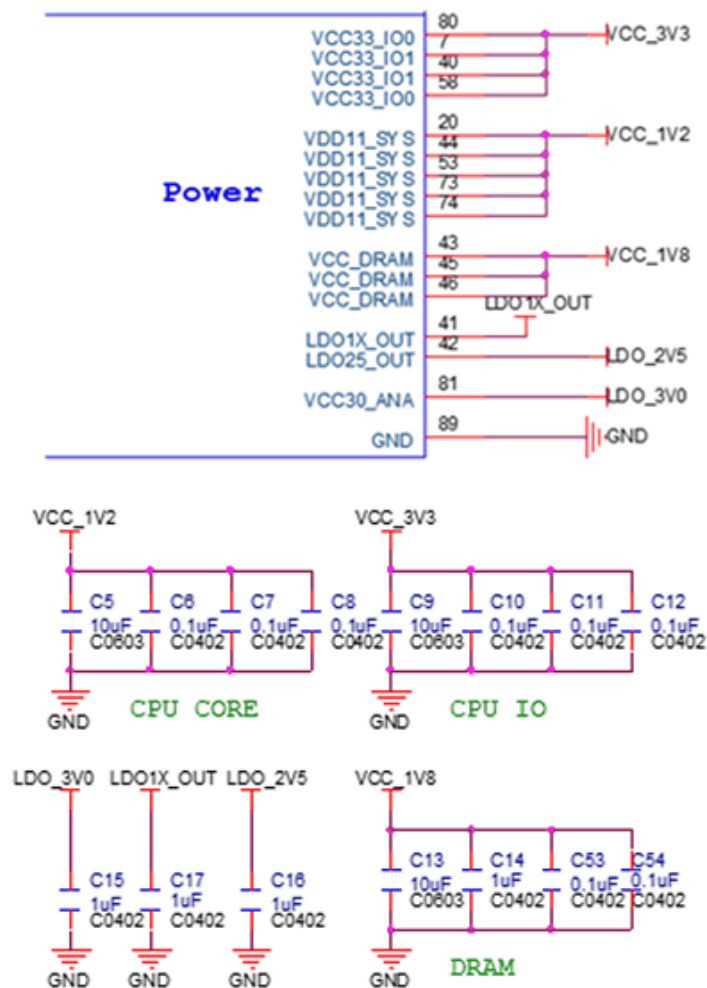


图 2-3 CPU DRAM 电源 VDDQ_DDR 原理图

- 内置 LDO1X_OUT，外部接 1uF 电容，可配置输出 1.8V/1.5V 供 DRAM 使用，存在转换效率和发热问题，若使用内置 LDO，Layout 需做好散热。
- LDO25_OUT、VCC30_ANA 供内部模块使用，外部接 1uF 旁路电容即可。



- 上下电时序要求
 - VDD11_SYS、VCC33_IO、VCC_PSRAM 无上下电时序要求。
 - 复位信号内置约 30kΩ 上拉电阻和去抖滤波，不使用可直接悬空，若外挂电容建议不超过 4.7uF。上电完成后，复位自动释放，并且 24MHz 晶振起振。

2.2.2. SYS

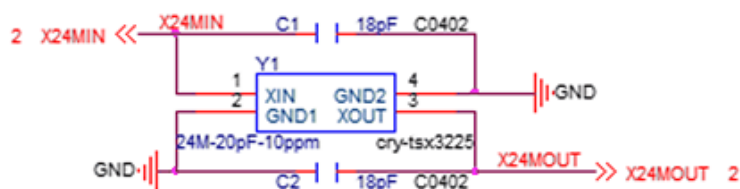
表 2-7 系统功能脚说明

信号名	信号说明	应用说明
UBOOT	升级模式配置	默认使用 PA0 下拉检测，可在 UBOOT 或 bootloader 配置任意 IO 为下拉检测或上拉检测进入升级模式，建议预留按键或跳线
RESET	CPU复位脚	内部 RC 上拉，低电平复位，可悬空，建议预留按键或跳线

2.2.3. PLL

PLL 需外接24MHz晶振：

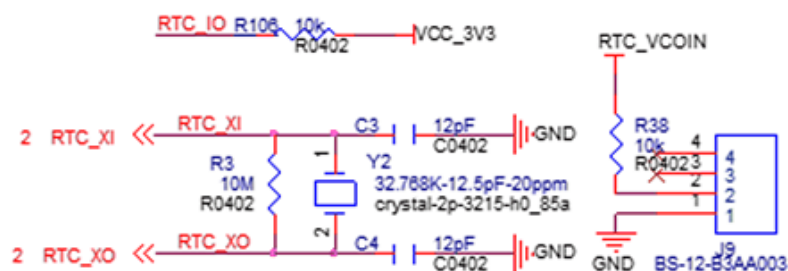
- 外部 24MHz 晶振精度要求小于 $\pm 20\text{ppm}$ ，匹配电容根据晶体负载电容选择。
- PLL_XO 建议串联0R电阻，便于调试振荡幅度。



2.2.4. RTC

内置 RTC，功耗约2.8uA，使用RTC功能需外接32.768KHz晶振

- 外部32.768KHz晶振精度建议小于 $\pm 10\text{ppm}$ ，匹配电容根据晶体负载电容选择。
- RTC_XI和RTC_XO之间并联10M以上电阻，可用于频率微调。
- RTC_IO为OD输出，使用时需要外挂上拉电阻，上拉电平不超过5V，可用于RTC唤醒或输出32K时钟。
- 若不考虑掉电保持，RTC_VCOIN可悬空，内部有二极管通路从VCC33_IO取电。



2.3. 存储

2.3.1. DRAM

芯片内部 Sip 16-bit DRAM，DDR3 1Gb 最高频率 672MHz 或 DDR2 512Mb 最高频率 504MHz。

- D211BBV/D211DBV Sip DDR2 需要1.8V供电。
- D211BCV/D211DCV/D213ECV Sip DDR3 需要1.5V供电。
- LDO25_OUT为芯片内部LDO(2.5V 50mA)输出，为DRAM模拟部分供电。

2.3.2. FLASH

SPIO/1 为 QSPI 控制器，最大支持四线数据传输，用于Flash类型设备的快速读写访问。

- 默认使用 SPI0 为Flash类型设备启动接口。
- QSPI 支持 NAND Flash / NOR Flash，支持单/双/四线模式。
- IO最大速率 SDR 100MHz，仅支持3.3V IO电压，Flash容量不限制。

注：

- SPI_CS、SPI_WP、SPI_HOLD必需保留上拉电阻。
- QSPI 信号必需做等长约束，约束不大于20mil，否则跑四线模式容易出现速度跑不高的情况。

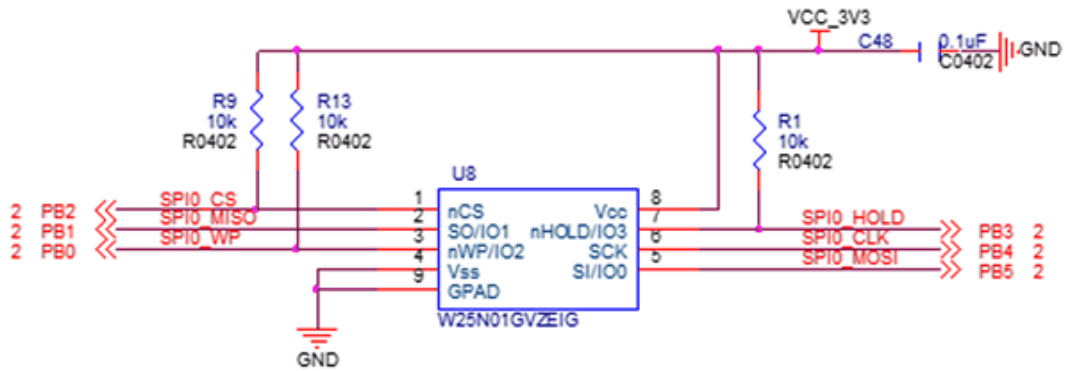


图 2-4 SPI0 NAND Flash电路原理图

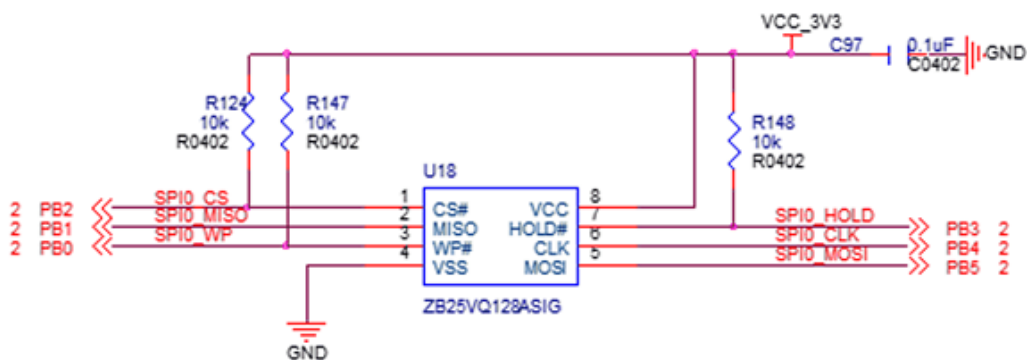


图 2-5 SPI0 NOR Flash电路原理图

2.3.3. eMMC

使用SDC0接口，支持单线/四线模式，支持 eMMC 4.41协议，支持 SDR25/SDR50/DDR50 模式。

- IO 最大速率 DDR 50 MHz，仅支持 3.3 V IO 电压。
- D0、CMD 和 RST 信号建议上拉到 VCC33_IO。

注：

- SDC0_D0~SDC0_D3、SDC0_CLK、SDC0_CMD 信号走线做等长约束，约束不大于50 mil。
- CLK 信号不需上拉，最好在靠近主控端串联22欧电阻，若并联容值不超过 22 pF。

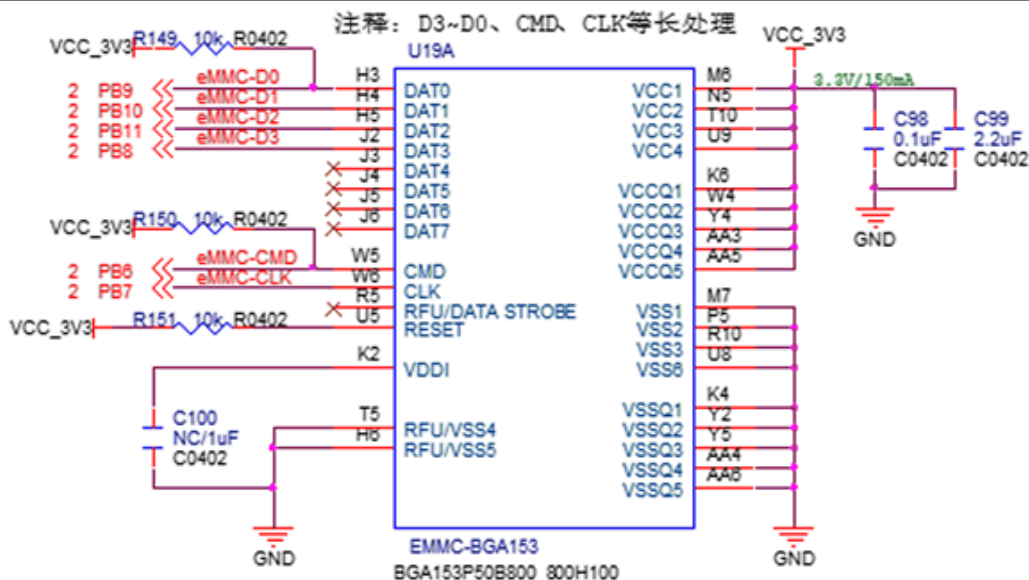


图 2-6 SDC0 eMMC 电路原理图

2.3.4. CARD

使用 SDC1 接口，支持单线/四线模式。

- IO 最大速率 DDR 50 MHz，仅支持 3.3V IO 电压。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22 pF。
- D0、CMD 和 DET 信号建议上拉到 VCC33_IO。
- SD 接口信号线 TVS 管结电容 < 22pF，否则影响信号传输质量。
- 建议保留 DET 信号线上的 1k 串联电阻，避免在插入 SD CARD 时产生信号下冲，同时提高 GPIO ESD 性能。



注：

- SDC1_D0~SDC1_D3、SDC1_CLK、SDC1_CMD 信号走线做等长约束，约束不大于 50mil。
- CLK 信号不需上拉，最好在靠近主控端串联 22 欧电阻，若并联容值不超过 22pF。

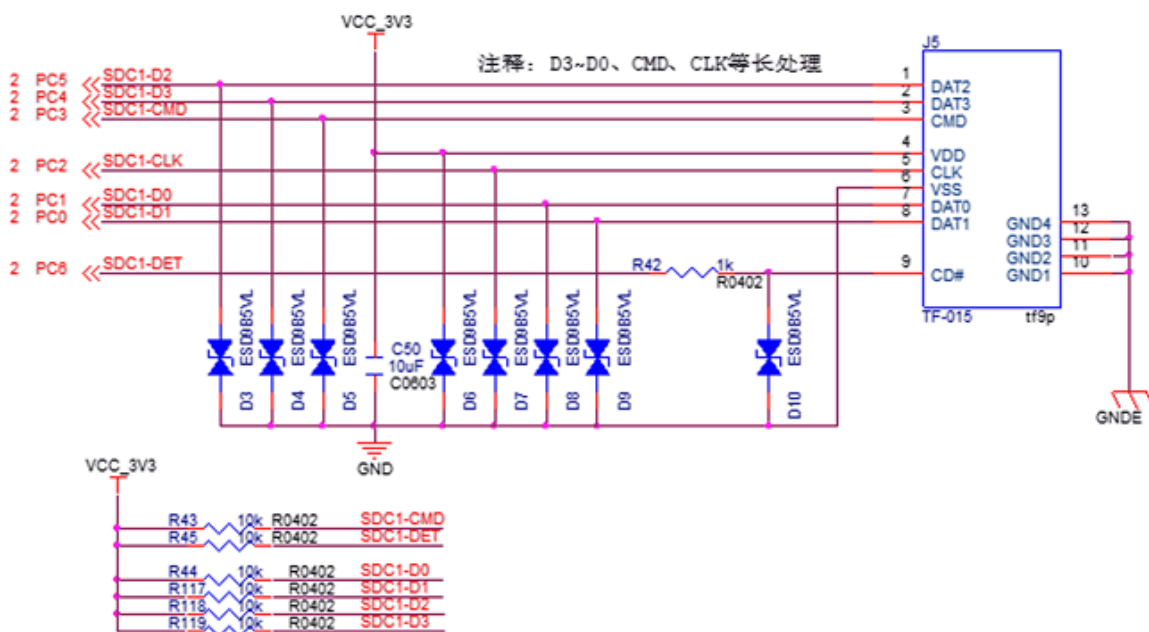


图 2-7 SDC1 CARD 电路原理图

2.4. 多媒体

2.4.1. PRGB 屏接口

PRGB模式兼容5种MAPPING输出配置，默认为24bits，可配置为18bits、16bits，相应的低位不使用。

- 配置0: RGB888建议使用，支持R/G/B 整组信号互换。
- 配置1: RGB666建议使用，支持R/G/B 整组信号互换。
- 配置2: RGB666，支持R/G/B 整组信号互换。
- 配置3: RGB565建议使用，支持R/G/B 整组信号互换。
- 配置4: RGB565，支持R/G/B 整组信号互换。



注:

- 支持组内信号高位到低位排序互换，需软件配置data-mirror。
- 默认配置为RGB，为方便Layout,可将R和B整组互换，需软件配置将data-order修改为BGR。
- RGB888接口高位可用于RGB666或565，CPU端相应的低位不接或可用于其他功能。

PIN NAME	MAPPING	PRGB						SRGB	
		0	1	2	3	4	0	1	
		BITS/PIXEL	24	18	18	16	16	24	18
		CLKS/PIXEL	1	1	1	1	1	3	3
GPD_P0	LCD_D0	B0	B0	B2	B0	B3	LCD_D0	LCD_D2	
GPD_P1	LCD_D1	B1	B1	B3	B1	B4	LCD_D1	LCD_D3	
GPD_P2	LCD_D2	B2	G0	B4	B2	B5	LCD_D2	LCD_D4	
GPD_P3	LCD_D3	B3	G1	B5	G0	B6	LCD_D3	LCD_D5	
GPD_P4	LCD_D4	B4	R0	B6	G1	B7	LCD_D4	LCD_D6	
GPD_P5	LCD_D5	B5	R1	B7	R0	G2	LCD_D5	LCD_D7	
GPD_P6	LCD_D6	B6	B2	G2	R1	G3	LCD_D6	LCD_D0	
GPD_P7	LCD_D7	B7	B3	G3	R2	G4	LCD_D7	LCD_D1	
GPD_P8	LCD_D8	G0	B4	G4	B3	G5	LCD_D0	LCD_D2	
GPD_P9	LCD_D9	G1	B5	G5	B4	G6	LCD_D1	LCD_D3	
GPD_P10	LCD_D10	G2	B6	G6	B5	G7	LCD_D2	LCD_D4	
GPD_P11	LCD_D11	G3	B7	G7	B6	R3	LCD_D3	LCD_D5	
GPD_P12	LCD_D12	G4	G2	R2	B7	R4	LCD_D4	LCD_D6	
GPD_P13	LCD_D13	G5	G3	R3	G2	R5	LCD_D5	LCD_D7	
GPD_P14	LCD_D14	G6	G4	R4	G3	R6	LCD_D6	LCD_D0	
GPD_P15	LCD_D15	G7	G5	R5	G4	R7	LCD_D7	LCD_D1	
GPD_P16	LCD_D16	R0	G6	R6	G5	B0	LCD_D0	LCD_D2	
GPD_P17	LCD_D17	R1	G7	R7	G6	B1	LCD_D1	LCD_D3	
GPD_P18	LCD_D18	R2	R2	B0	G7	B2	LCD_D2	LCD_D4	
GPD_P19	LCD_D19	R3	R3	B1	R3	G0	LCD_D3	LCD_D5	
GPD_P20	LCD_D20	R4	R4	G0	R4	G1	LCD_D4	LCD_D6	
GPD_P21	LCD_D21	R5	R5	G1	R5	R0	LCD_D5	LCD_D7	
GPD_P22	LCD_D22	R6	R6	R0	R6	R1	LCD_D6	LCD_D0	
GPD_P23	LCD_D23	R7	R7	R1	R7	R2	LCD_D7	LCD_D1	
GPD_P24	LCD_DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	DCLK	
GPD_P25	LCD_HS	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	HSYNC	
GPD_P26	LCD_VS	VSYNC	VSYNC	VSYNC	VSYNC	VSYNC	VSYNC	VSYNC	
GPD_P27	LCD_DE	DE	DE	DE	DE	DE	DE	DE	

图 2-8 RGB 不同配置定义

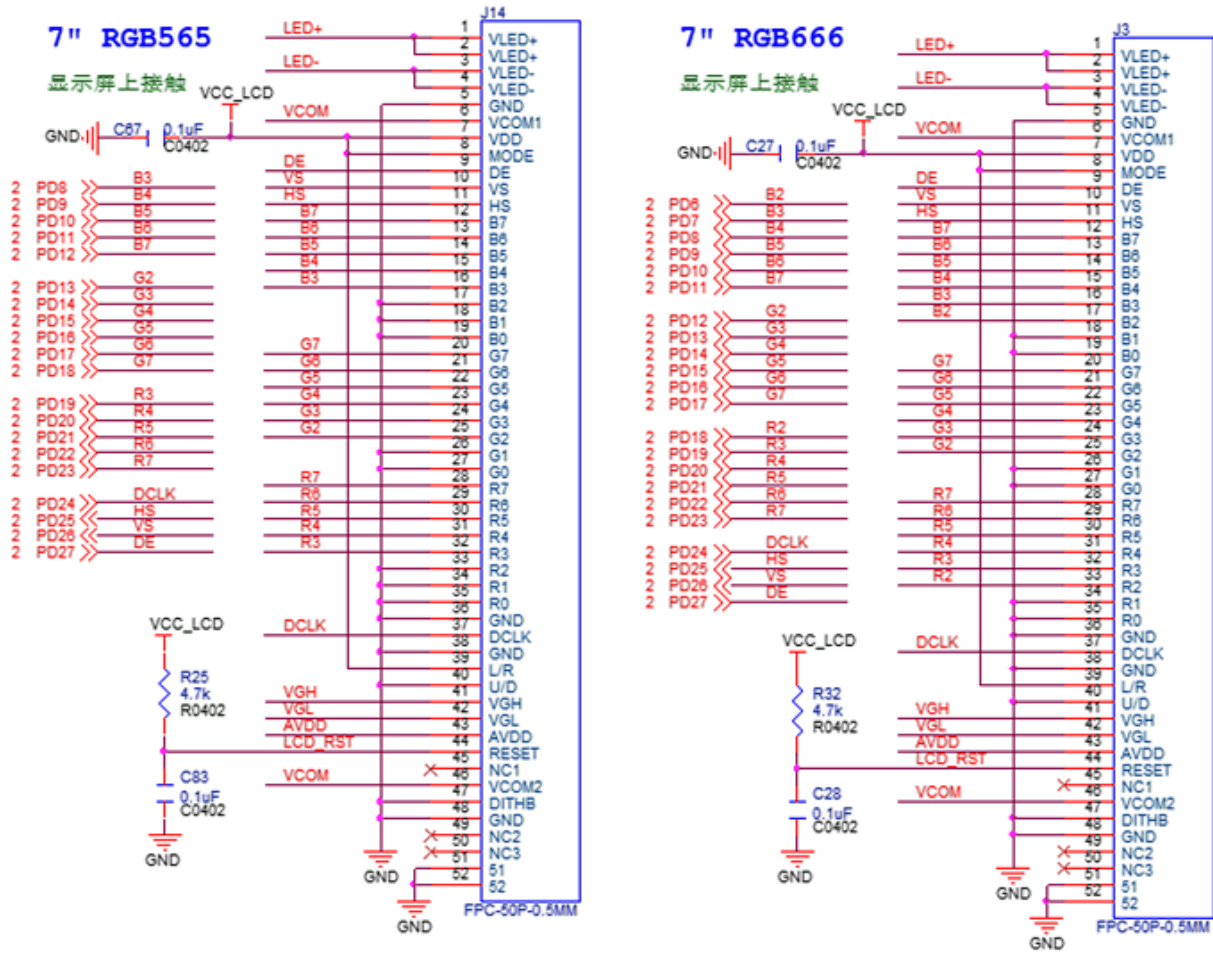


图 2-9 RGB565 / RGB666 电路原理图

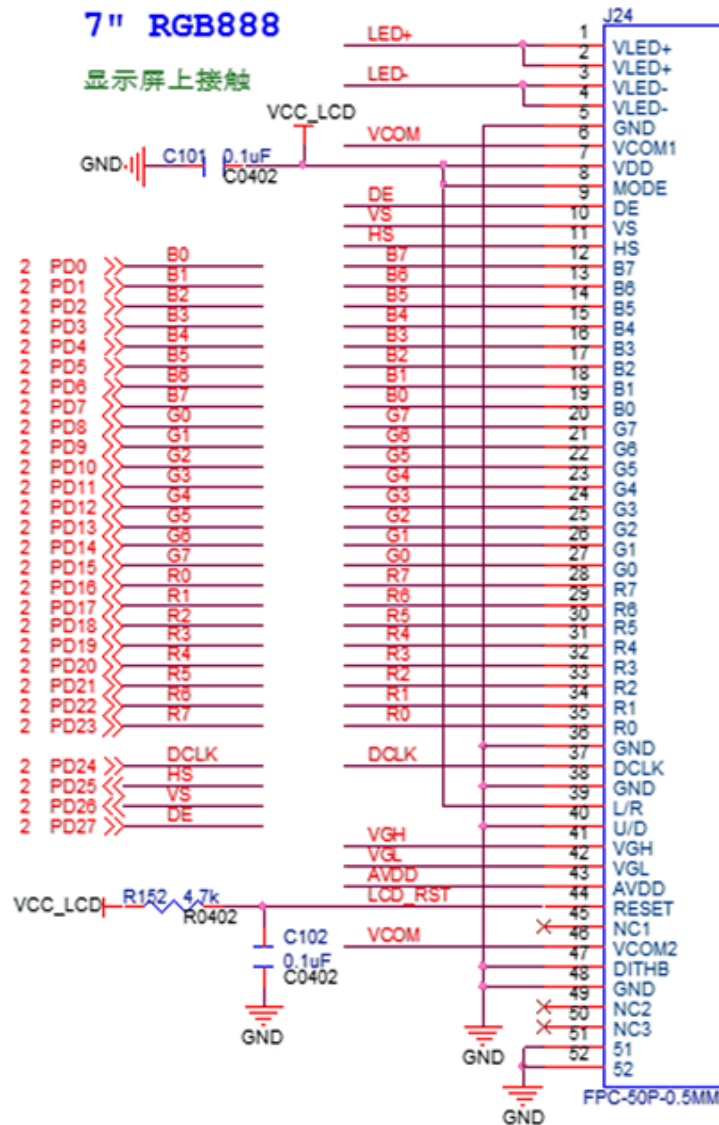


图 2-10 RGB888 电路原理图

2.4.2. LVDS 屏接口

LVDS 支持 Single-Link 和 Dual-Link 接法。

- 速率240Mbps~800Mbps。
- 支持LVDS_0与LVDS_1互换。
- 支持LVDS_0与LVDS_1双屏同显。
- 支持 LVDS_D0-LVDS_D3、LVDS_CK 五组差分对信号任意互换，比如 LVDS_D2 与LVDS_CK 互换。
- 支持 LVDS 信号极性选择模式，即差分对信号正负极性互换。



注：

- LVDS信号是高速差分信号，差分对约束不大于10mil，差分对100欧姆阻抗控制，整组信号等长约束不大于10mil。
- 为方便Layout，支持差分对任意互换，极性反转，软件配置上需注意修改。

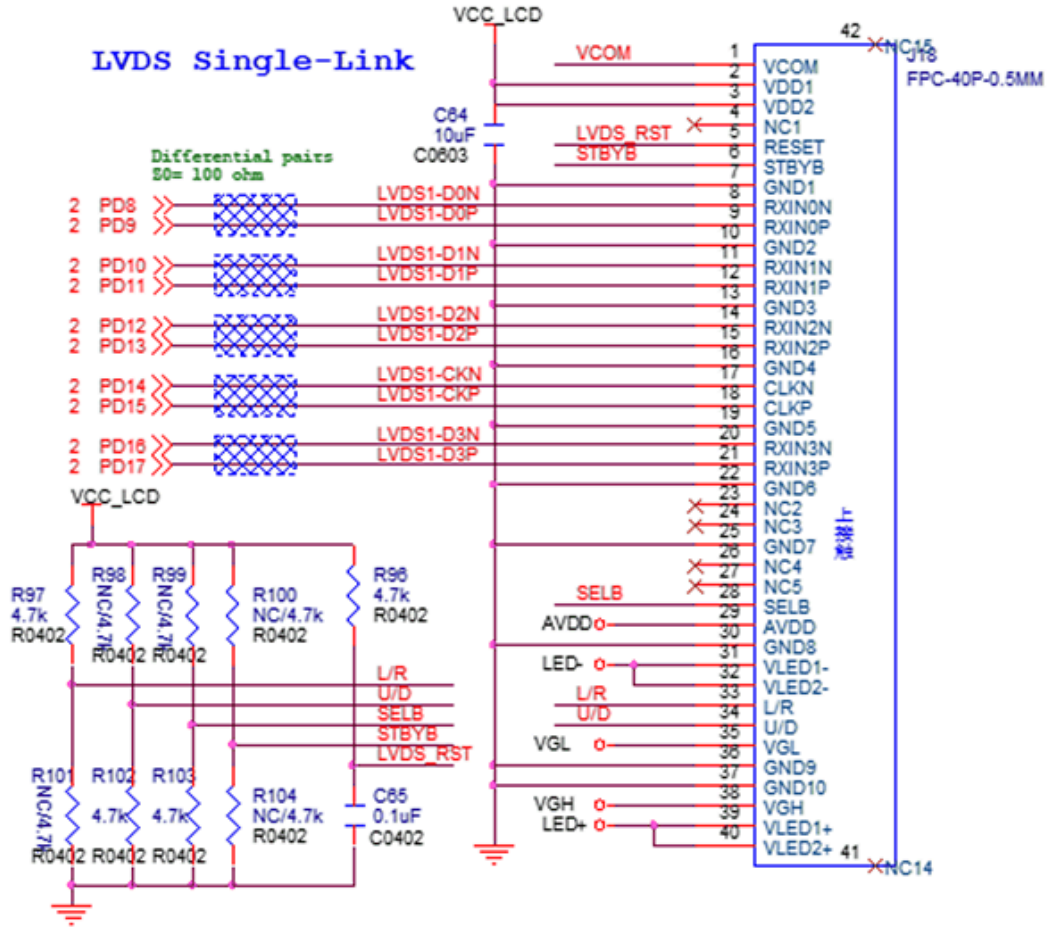


图 2-11 LVDS Single-Link 电路原理图

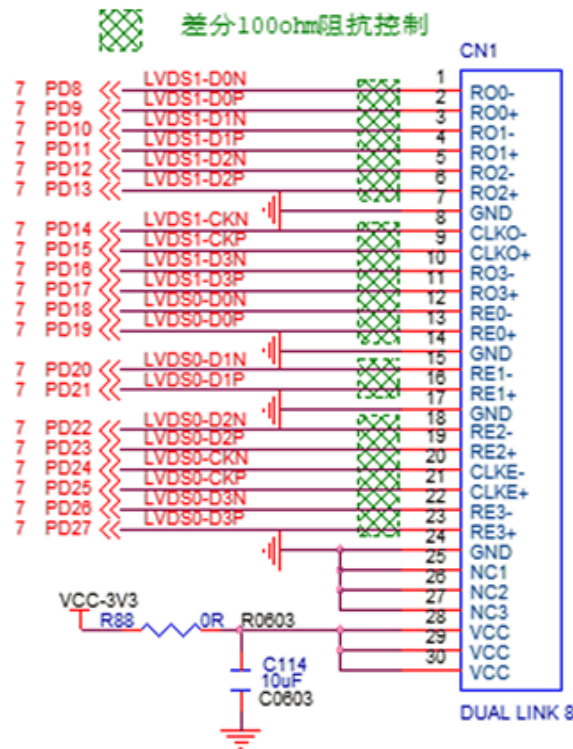


图 2-12 LVDS Dual-Link 电路原理图

2.4.3. MIPI-DSI屏接口

MIPI DSI是应用于显示的串行接口，实现将DE送过来的并行图像数据高性能转化串行输出。

- 可配置为1/2/3/4对数据通道。
- 支持高速模式和低速模式。
- 每对数据通道都支持高速单向通信。
- 数据通道0可选支持低速模式下双向通信，即可读取屏的寄存器。

注：

- MIPI CLK必须接屏幕的CLK引脚。只支持 D0~D3 差分对信号任意互换。
- 支持信号极性选择模式，即所有差分对信号支持正负极性反转。
- MIPI信号是高速差分信号，差分对约束不大于10mil，差分对100欧姆阻抗控制，整组信号等长约束不大于10mil。

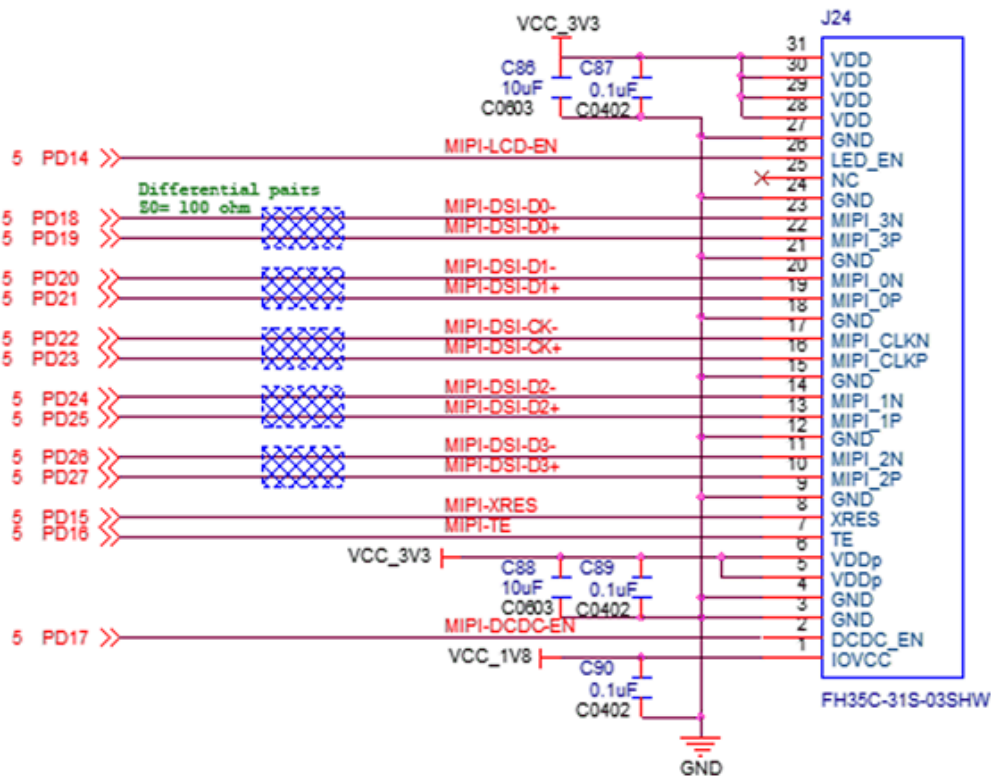


图 2-13 MIPI-DSI 电路原理图

2.4.4. MCU 屏接口

MCU屏接口包含常见的I8080、SPI、QSPI。

封装引脚		MAPPING	I8080						
			0	1	2	3	4	5	6
D213Ex QFN128	D211Bx QFN88	BITS/PIXEL	24	18	16	24	18	16	24
	D211Dx QFN100	CLKS/PIXEL	1	1	1	2	2	2	3
GPD_P0	GPC_P5	LCD_D0	DB0						
GPD_P1	GPC_P4	LCD_D1	DB1						
GPD_P2	GPC_P3	LCD_D2	DB2						
GPD_P3	GPC_P2	LCD_D3	DB3						
GPD_P4	GPC_P1	LCD_D4	DB4						
GPD_P5	GPC_P0	LCD_D5	DB5						
GPD_P6	GPD_P6	LCD_D6	DB6	DB0					
GPD_P7	GPD_P7	LCD_D7	DB7	DB1					
GPD_P8	GPD_P8	LCD_D8	DB8	DB2	DB0				
GPD_P9	GPD_P9	LCD_D9	DB9	DB3	DB1				
GPD_P10	GPD_P10	LCD_D10	DB10	DB4	DB2				
GPD_P11	GPD_P11	LCD_D11	DB11	DB5	DB3				
GPD_P12	GPD_P12	LCD_D12	DB12	DB6	DB4	DB0			
GPD_P13	GPD_P13	LCD_D13	DB13	DB7	DB5	DB1			
GPD_P14	GPD_P14	LCD_D14	DB14	DB8	DB6	DB2			
GPD_P15	GPD_P15	LCD_D15	DB15	DB9	DB7	DB3	DB0		
GPD_P16	GPD_P16	LCD_D16	DB16	DB10	DB8	DB4	DB1	DB0	DB0
GPD_P17	GPD_P17	LCD_D17	DB17	DB11	DB9	DB5	DB2	DB1	DB1
GPD_P18	GPD_P18	LCD_D18	DB18	DB12	DB10	DB6	DB3	DB2	DB2
GPD_P19	GPD_P19	LCD_D19	DB19	DB13	DB11	DB7	DB4	DB3	DB3
GPD_P20	GPD_P20	LCD_D20	DB20	DB14	DB12	DB8	DB5	DB4	DB4
GPD_P21	GPD_P21	LCD_D21	DB21	DB15	DB13	DB9	DB6	DB5	DB5
GPD_P22	GPD_P22	LCD_D22	DB22	DB16	DB14	DB10	DB7	DB6	DB6
GPD_P23	GPD_P23	LCD_D23	DB23	DB17	DB15	DB11	DB8	DB7	DB7
GPD_P24	GPD_P24	LCD_C0	WR	WR	WR	WR	WR	WR	WR
GPD_P25	GPD_P25	LCD_C1	RD	RD	RD	RD	RD	RD	RD
GPD_P26	GPD_P26	LCD_C2	CS	CS	CS	CS	CS	CS	CS
GPD_P27	GPD_P27	LCD_C3	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS	DC/RS

图 2-14 I8080 不同配置定义



注:

SPI 屏通信接口交叉，PD21/SDO 为输出，需接屏端SDI输入；PD20/SDI为输入，需接屏端SDO输出。

PIN NAME	MAPPING	SPI	4SPI
GPD_P20	LCD_D20	SDI	SDA0
GPD_P21	LCD_D21	SDO	SDA1
GPD_P22	LCD_D22	/	SDA2
GPD_P23	LCD_D23	/	SDA3
GPD_P24	LCD_DCLK	SCL	SCL
GPD_P25	LCD_HS	/	/
GPD_P26	LCD_VS	CS	CS
GPD_P27	LCD_DE	RS	RS

图 2-15 SPI/QSPI屏连接定义

2.4.5. TP

集成 RTP 电阻触摸屏接口，可支持 RTP 电阻屏触摸。

- RTP 仅支持 4 线，即 X+/X-/Y+/Y-。
- RTP 支持最多 2 点触摸。

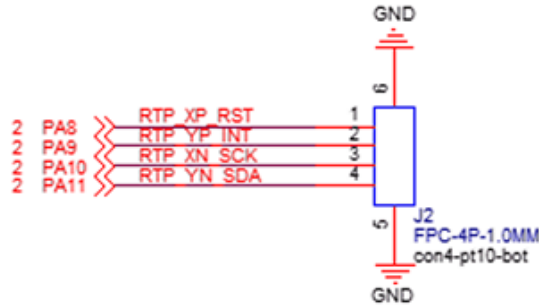


图 2-16 RTP 电阻屏触摸电路原理图

使用 I2C 和 GPIO，可支持 CTP 电容屏触摸。

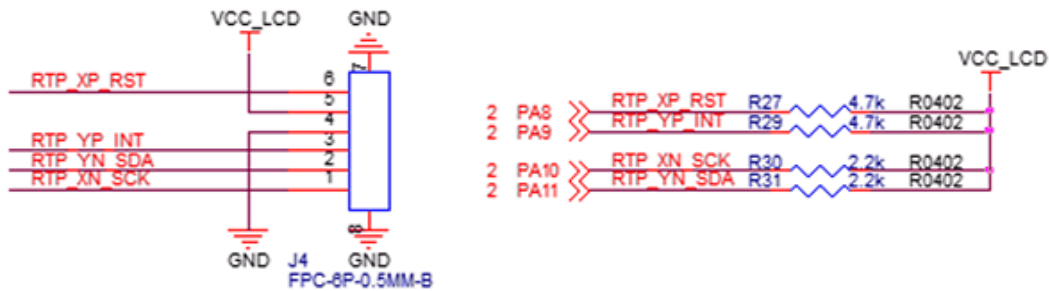


图 2-17 CTP 电容屏触摸电路原理图

2.4.6. PWM

支持下列 PWM 波形发生器：

- PWM0
- PWM1
- PWM2
- PWM3

PWM 波形发生器的说明如下：

- PWM_x_A 和 PWM_x_B 同属一组 PWM，可配置成单独输出或同时输出，但频率相同，占空比可不相同。
- PWM 通常用于背光控制，频率一般为 20 KHz ~ 1 MHz。
- PWM 通常用于蜂鸣器，频率一般为 3 KHz ~ 4 KHz。



注：

- PWM_x_A 和 PWM_x_B 可分开独立控制，但频率是相同的，占空比可独立调。
- 不同频率的应用不能使用同一组 PWM，比如蜂鸣器和背光，需分开使用不同通道。

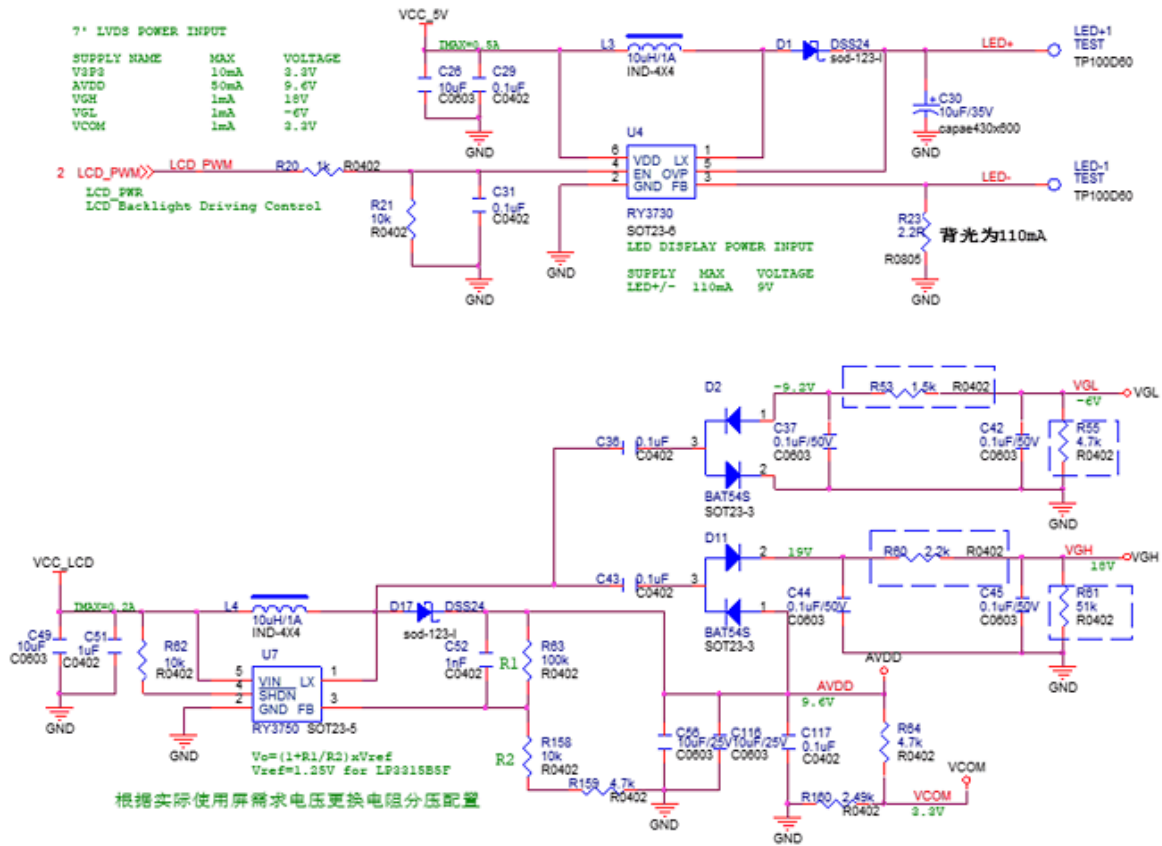


图 2-18 LCD 背光和偏压电路原理图

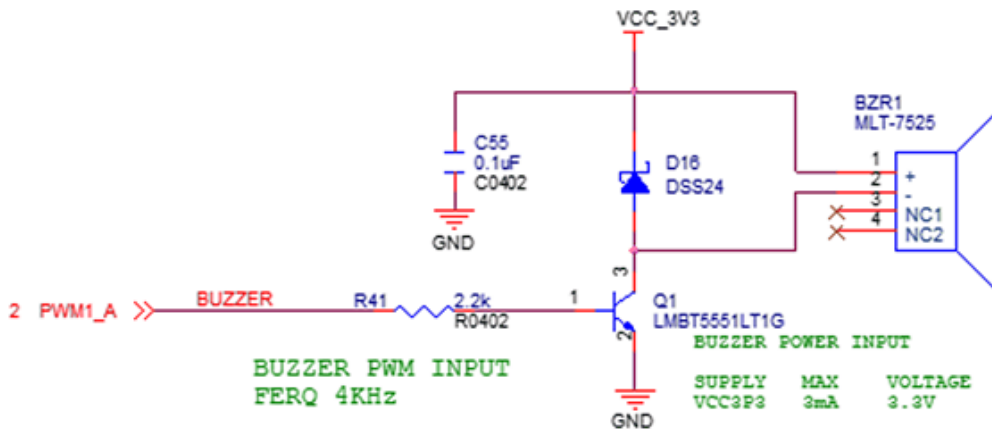


图 2-19 蜂鸣器电路原理图

2.4.7. DVP

支持 DVP 8-bit 并行接口，最大支持500万像素拍照，最大支持1920x1080@30fps 录像，支持YUV422、BT.656以及RAW 格式。

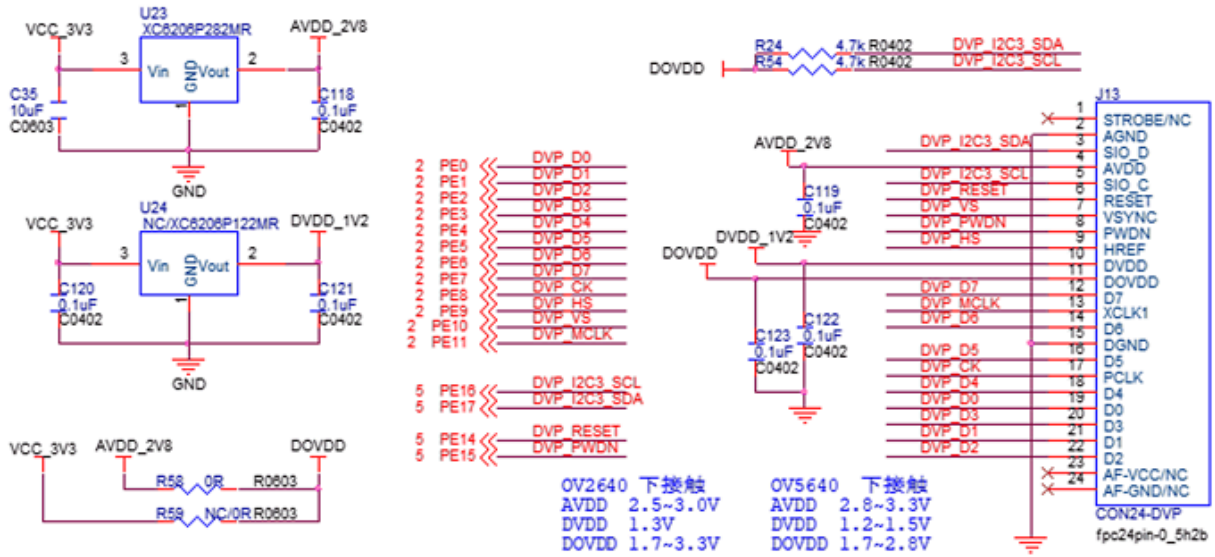


图 2-20 DVP CAMERA 原理图

2.4.8. AUDIO

- AMIC，支持一路模拟音频输入。

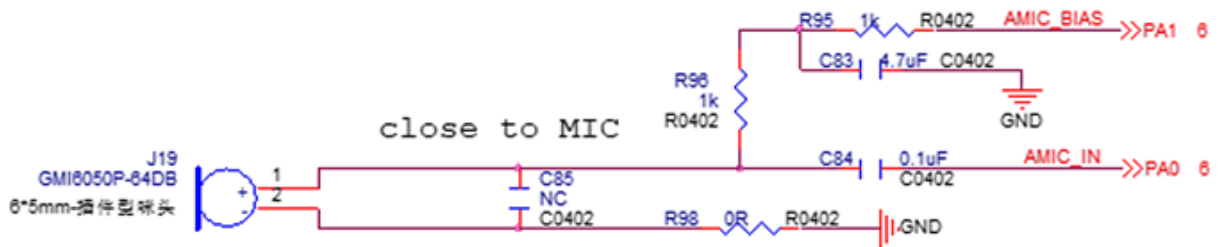
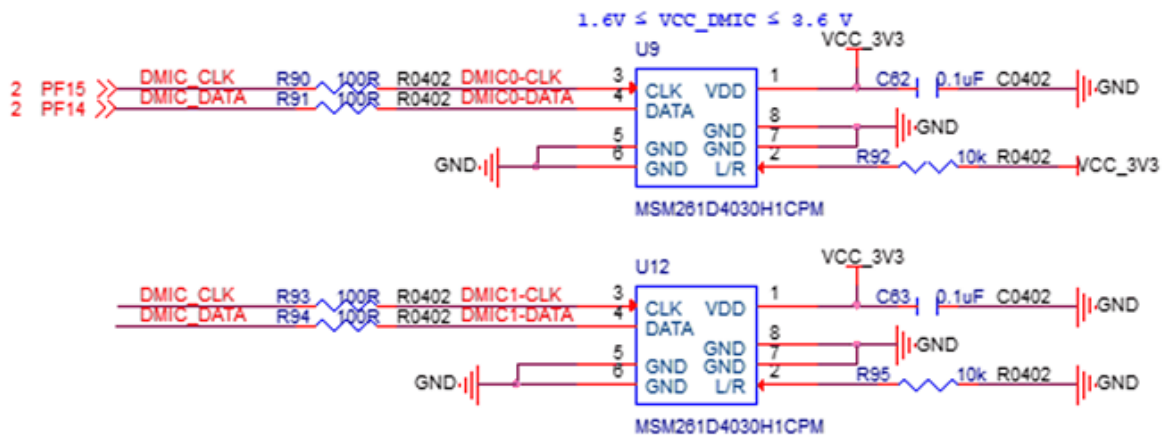


图 2-21 AMIC 电路原理图

- DMIC，支持数字立体声音频输入



注释：单声道只选择一路L或R；立体声选择两路，L/R分别上拉、下拉

图 2-22 DMIC 电路原理图

- Speaker
 - 支持2路单端输出（双喇叭，左右声道输出）。
 - 支持1路差分输出（单喇叭，单声道输出）。
 - 支持DSPK0和DSPK1内部混音后，再通过任意单一通路输出。



注:

DSPK是数字信号, 从CPU出来必需接RC (R=100R, C=470nF) 转换成模拟信号才能给到音频功放。

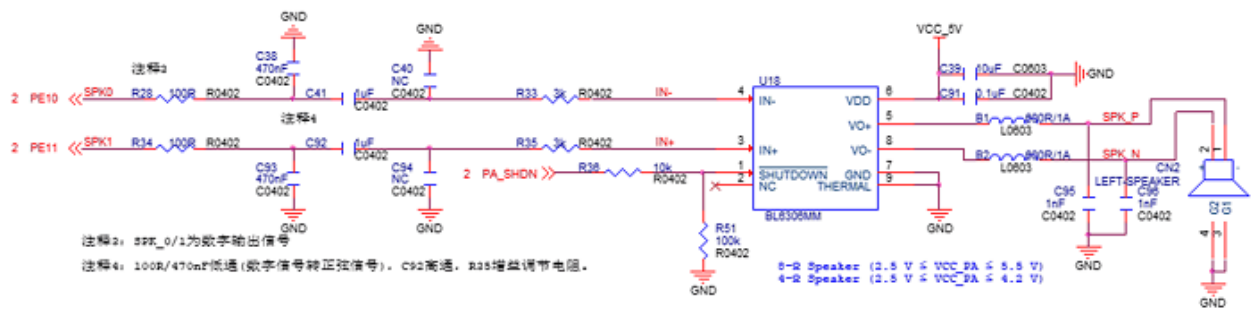


图 2-23 Speaker 差分输出电路原理图

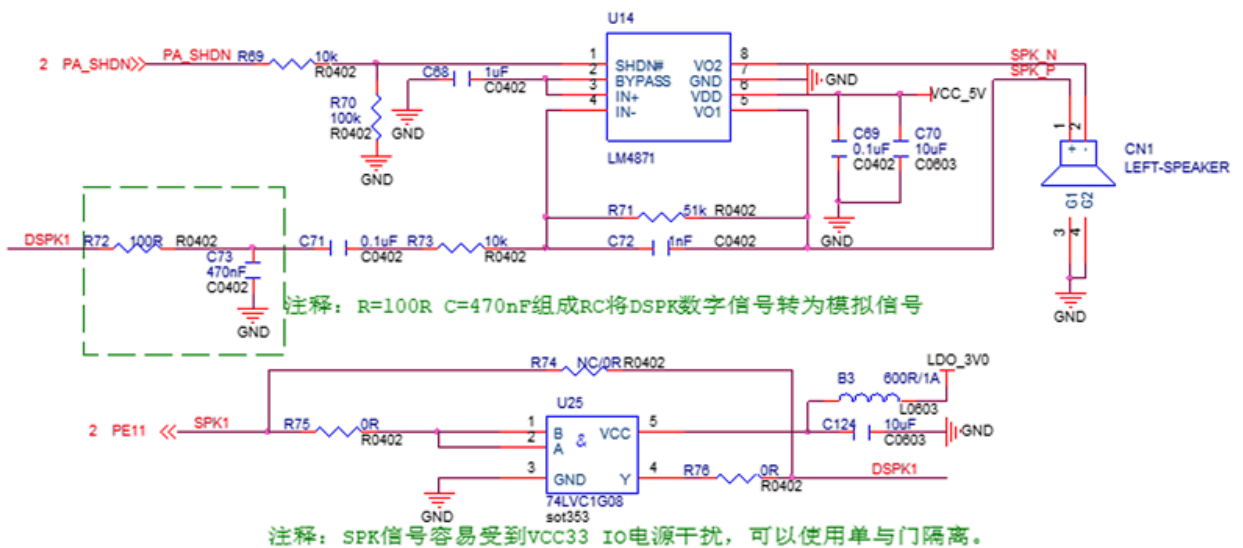


图 2-24 Speaker 单端输出电路原理图

- I2S接口为数字音频接口, 用于连接外部音频设备, 实现音频数据的传输。

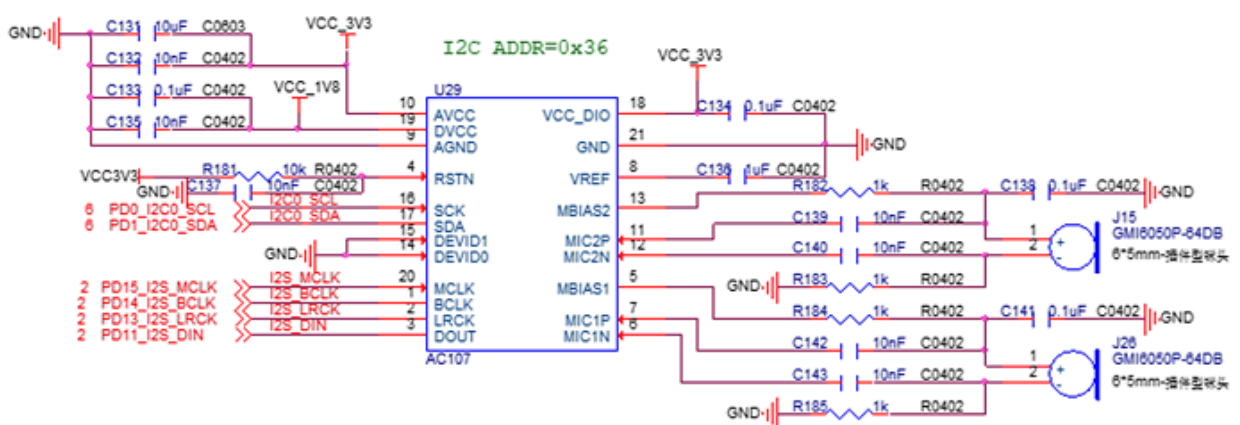


图 2-25 I2S 扩展麦克风电路原理图

2.5. 通用接口

2.5.1. SPI

SPIO/1 为标准SPI控制器, 用于存储设备或其他SPI接口设备的访问。

- 支持Master和Slave。
- SPI0/1 支持 QSPI 单/双/四线模式。

2.5.2. UART

UART 兼容工业 16550 标准，支持常用波特率，最大波特率支持 5 Mbps。

- 支持UART 两线（TX、RX），通常应用于TTL、RS485、RS232、DEBUG打印。
- 支持UART 三线（TX、RX、RTS），通常应用于RS485、某些模块比如RTL8723DS其蓝牙只需UART三线。
- 支持UART 四线自动流控（TX、RX、RTS、CTS），通常应用于RS232、蓝牙通信。

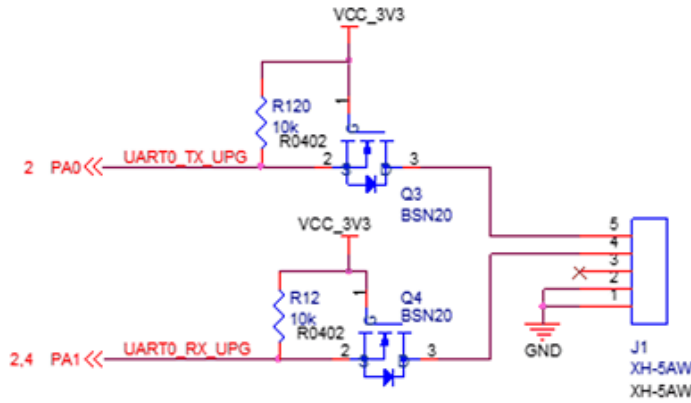


图 2-26 串口烧录电路原理图

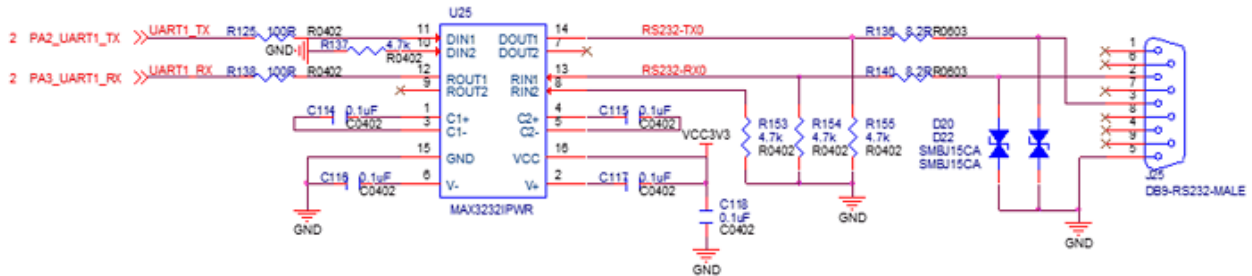


图 2-27 RS232串口电路原理图

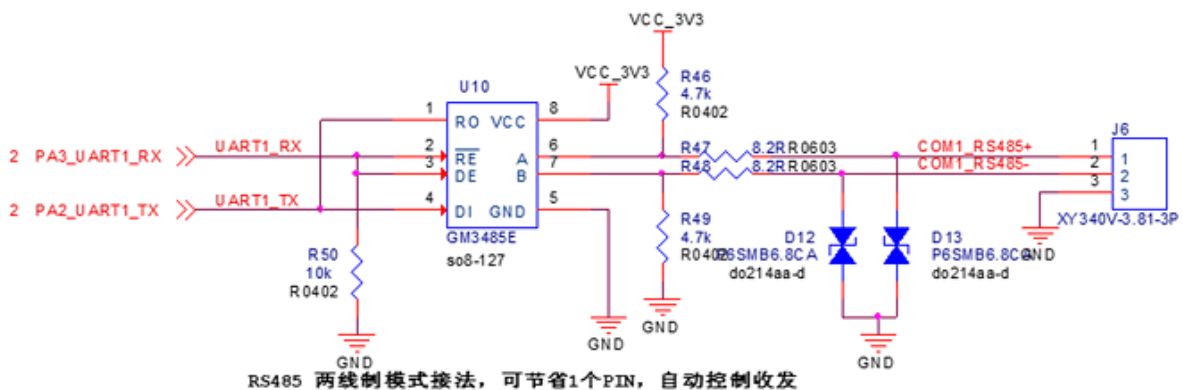
RS485 支持硬件自动控制收发方向，也支持软件控制收发方向

- 在IO资源紧张时，建议采用两线接法，通过UART_TX引脚进行半双工收发，UART_RX引脚进行自动方向控制。
- 需要做光耦隔离时，可采用常规三线接法，UART_RTS引脚进行自动方向控制。



注：

- 使用两线接法时，TX引脚既当发送又当接收；RX引脚用于自动控制收发方向。
- 使用三线接法时，建议使用UART_RTS接485-DIR，方便使用硬件自动控制收发功能。



RS485 两线制模式接法，可节省1个PIN，自动控制收发

图 2-28 RS485 两线接法电路原理图

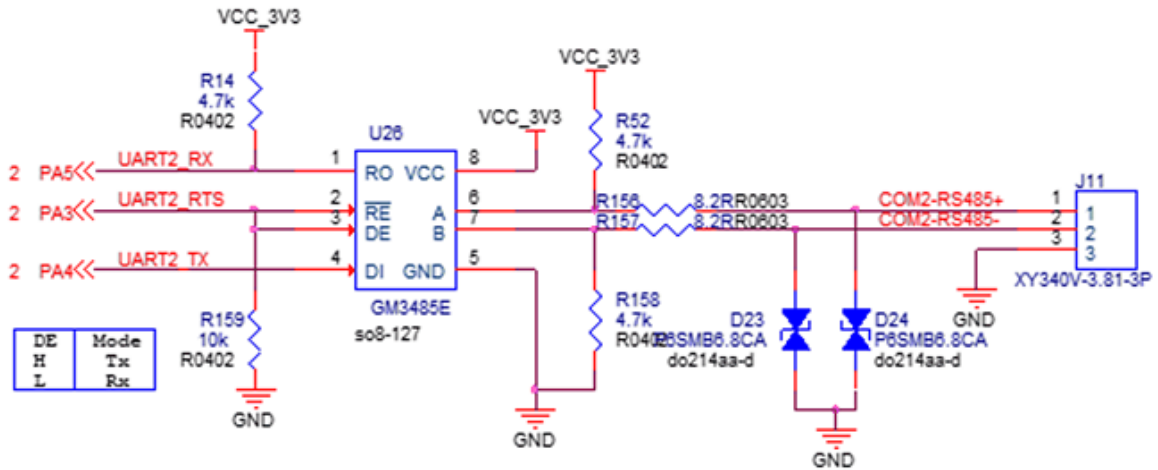


图 2-29 RS485 三线接法电路原理图

2.5.3. I2C

I2C速率最大支持400kbps，支持master 和 slave 模式。

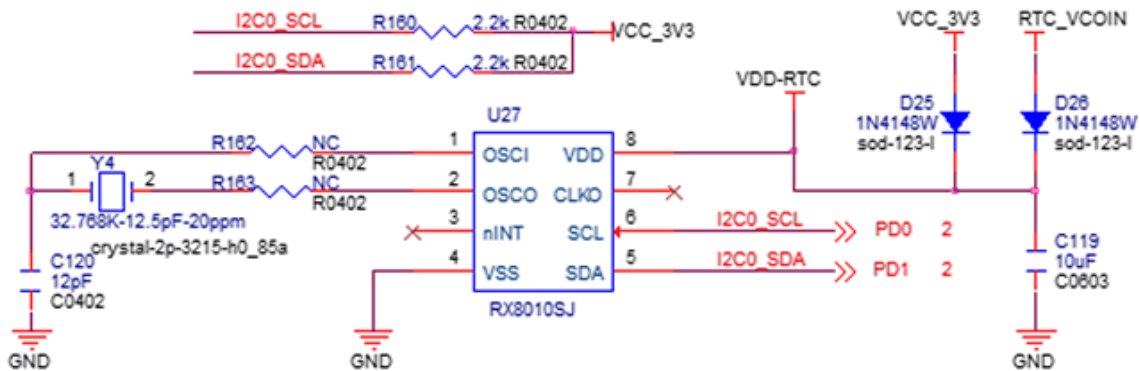


图 2-30 I2C 外接RTC电路原理图

2.5.4. CAN

支持CAN0和CAN1两套控制器

- 支持CAN2.0A和CAN2.0B协议，可编程通信速率最高1Mbps。
- 外围电路需接收发射器，才能组成CAN总线网络。

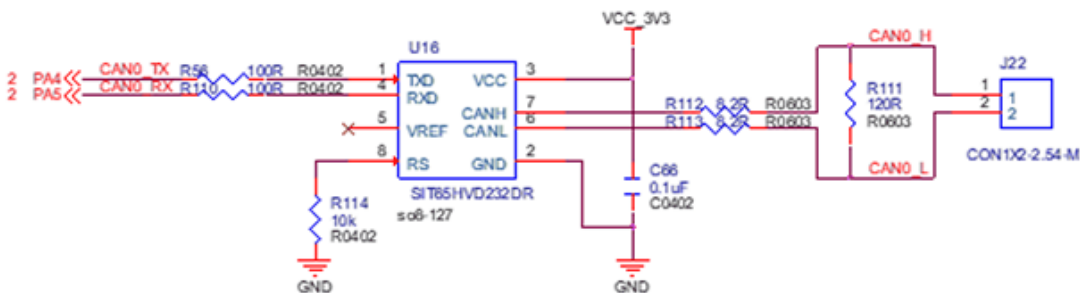


图 2-31 CAN 电路原理图

2.5.5. CIR

支持市面常见红外协议，如NEC、RC5、RC6、RC-MM、Sony、Sanyo、JVC等。

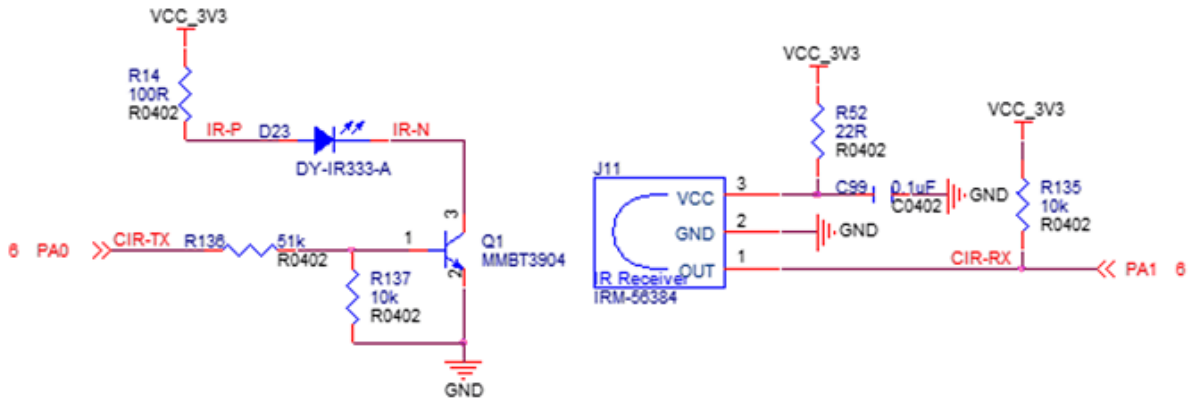


图 2-32 CIR 红外收发电路原理图

2.5.6. SDIO

SDC0/SDC1 可用于用于访问SDIO接口的设备，比如eMMC、CARD、WiFi模组。

- SDIO 接口只支持 3.3V IO 电平，接口顺序关系需注意。
- SDIO 接口按等长约束走线，CLOCK 尽量包地处理。
- 天线端增加 TVS 管，防止 ESD 静电打坏模块。
- 所有电源滤波电容尽量靠近芯片电源输入脚放置。

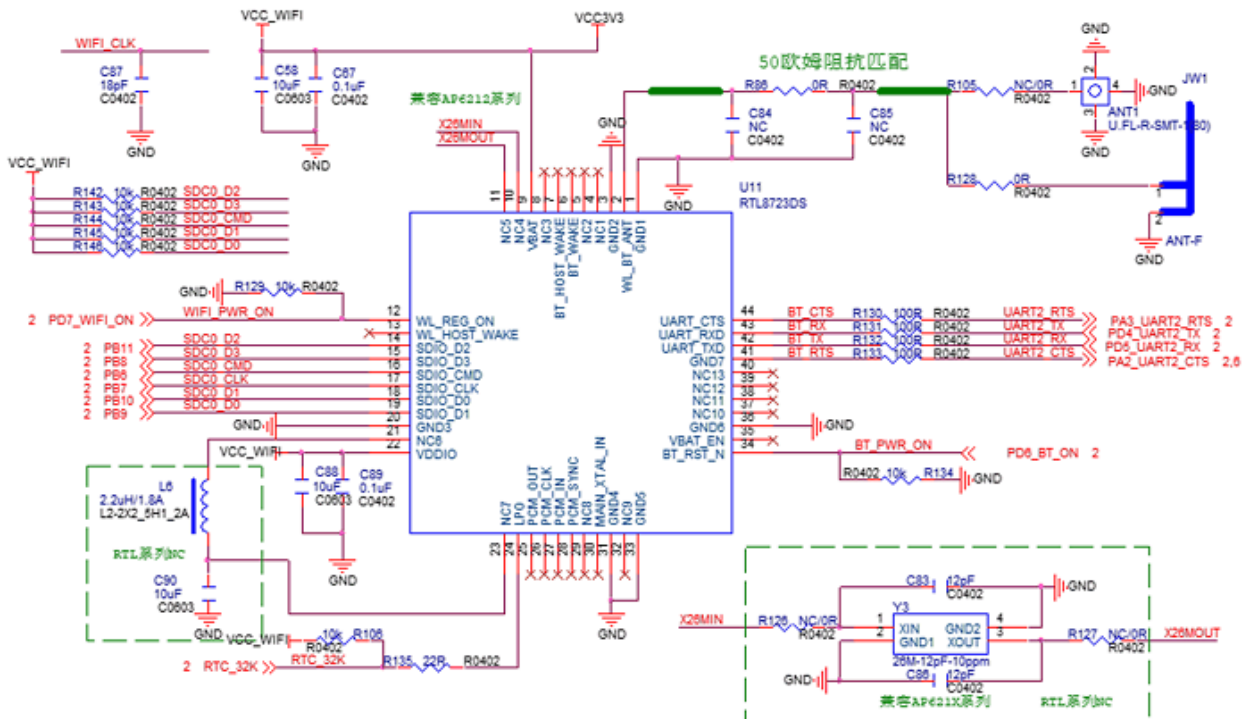


图 2-33 SDC0 WiFi+BT 电路原理图

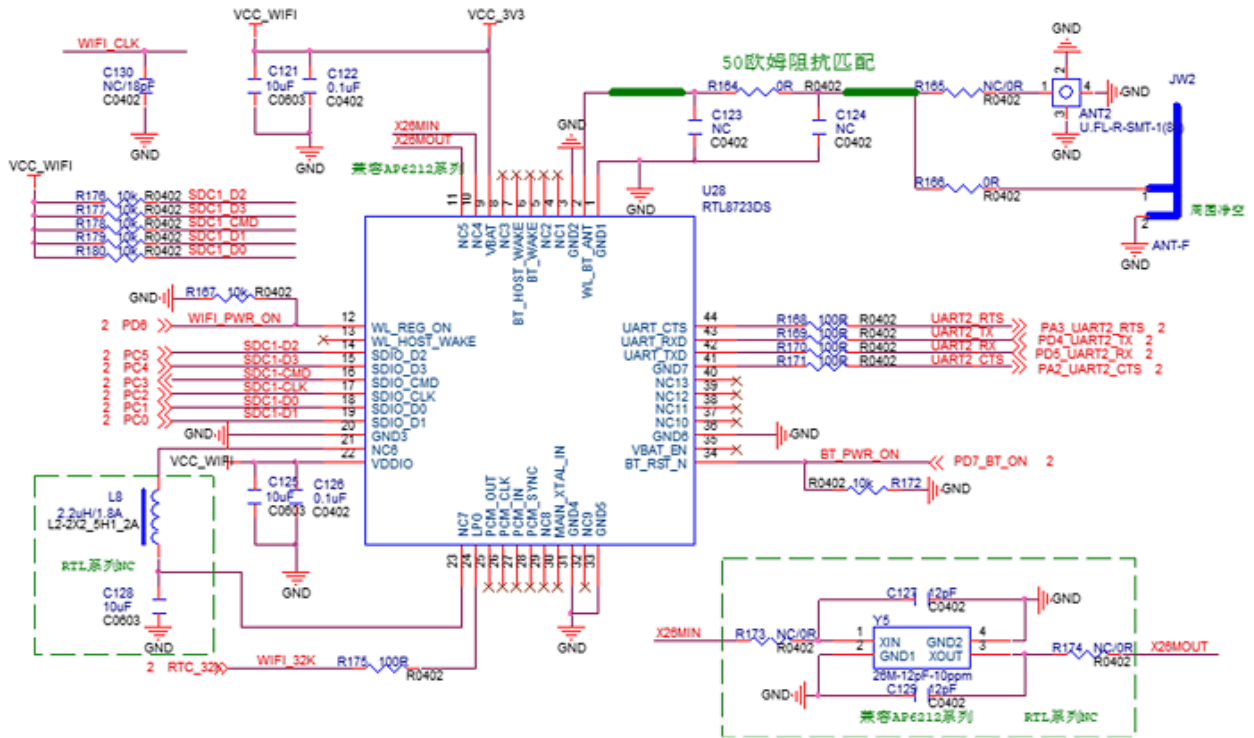


图 2-34 SDC1 WiFi+BT 电路原理图

3. 布线设计

3.1. 电源

在多层板设计中，一般建议采用单独的电源平面和地平面。这样可以降低电源和地回路的阻抗。

- 参考 20H 规则是多层板电源和地层设计的准则，将地层边缘多出电源层边缘大约20倍两平面间距，这是做是为了减少板子边缘的边缘场辐射的影响。
- 在电源层和地平面上尽量避免密集摆放过孔，并保持电源层和地平面的完整性。
- 在合适的位置放置过孔。这样可以降低电源和地层的阻抗，有助于为信号提供一个低阻抗的回流回路。
- 避免信号走线跨越不同的参考平面，否则会引入信号完整性问题。
- 在多电源平面和地平面分割时，优先考虑敏感信号的布局走线。

3.2. 布局

PCB 布局时，要将不同功能的电路进行分类，比如电源、模拟电路、数字电路和高速接口连接器等，这些电路应该分模块放置在 PCB 板的不同区域。

- 电源电路放在电源输入端附近。元件放置按照从高压到低压的顺序。
- DCDC 或 LDO 去耦电容应尽量靠近输入输出端口。
- 模拟电路更容易受外界干扰影响，建议将模拟电路放置在远离高压和高速数字电路的地方，减少噪声耦合。
- 建议晶体靠近CPU放置，尽量包地处理，与其他敏感元件保持安全距离。

3.3. 旁路和去耦

在CPU电源引脚处，就近放置电容，使电流先通过电容，然后再进入电源引脚。

- 去耦电容和旁路电容必须放置在尽可能靠近电源引脚的位置，保证滤波电路寄生电感最小化和电源提供瞬态大电流的能力。注意去耦电容和旁路电容的电流回流路径，一定要保证回流路径尽量短。

3.4. DCDC 电路

DC/DC 需要外接电感和电容。

- 尽量缩小 DC/DC 电流回路，以避免 EMI 问题。
- 让电流首先流经滤波电容，然后流至引脚。
- 去耦电容尽量靠近管脚放置，以避免环路不稳定问题。
- 尽量避免电感和电容之间不必要的通孔，降低环路阻抗。

3.5. 高速信号

高速信号走线必须考虑传播延迟和阻抗匹配以保证设备间的良好通信。

- 高速信号（EMMC、SD卡、QSPI）避免跨越不同参考平面。
- 避免在参考平面上出现开槽、孔洞和分割的情况。
- 当必须在不同的参考平面之间进行切换时，最好在信号切换通孔 100mil 附近提供接地回路通孔。
- 同一层上的时钟与相邻走线的间距至少应为 2 倍线宽（2W 原则），以减少串扰。
- QSPI 接口 SPL_MOSI、SPL_MISO、SPL_WP、SPL_HOLD、SPL_CLK、SPL_CMD需等长约束（长度差建议不超过 20mil）。
- SDC 接口 SDC_D0~3、SDC_CLK、SDC_CLK需等长约束（长度差建议不超过50mil）。

3.6. 屏蔽

连接器接口有金属的或者是外壳导电的，裸漏在外面可被接触到，设计时应当考虑防静电性能。

- 外壳接地回路要尽量短，避免跨越关键信号或元件。
- 建议外壳屏蔽地用RC滤波电路或铁氧体磁珠连接到PCB数字地，注意连接位置和元件参数选择，这对EMC和EMI性能至关重要。

- 信号尽量从背面走线，远离外壳。
- 其他元件或走线，与外壳保持一定的安全距离，尽量5mm以上，避免空气辐射路径。

3.7. 隔离

隔离在设计中经常用到，例如隔离强电和弱电，或者模拟电路和数字电路。

- 以RS485隔离电路为例，接口端与通信电路之间采用光耦隔离器用于隔离。为了提高隔离性能，在隔离器下方设置隔离间隙，且这种隔离间隙应用于所有平面（顶层/电源层/地层/底层）以保证良好的隔离性能。
- 以模拟电路隔离为例，模拟地和数字地之间需要设置隔离间隙，可放置0R电阻单点接地。

3.8. 信号回流路径

信号和电源都有自己的回流路径。地平面可以是信号和电源的参考面，电源面也可以作为信号的参考面。

- 回路面积越小，阻抗越小，串扰和电磁干扰（EMI）的影响也就越小。
- 去耦电容尽量靠近输入输出端口，回流信号可以从表层直接回流至源端，最大程度地减小电流回流路径和阻抗。
- 考虑信号返回路径时，一定要避开电流回环路径上的断开点。电流回环的面积越小，EMC的性能就越好。

4. 设计自查

表 4-1 POWER 设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	若产品对功耗敏感, 建议采用外置DCDC供电。	-	-
2	采用内部LDO供电, layout需要注意GND焊盘散热问题	-	-

表 4-2 显示接口设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	若使用 RGB666 或 RGB565, FPC接口数据低位需接GND	-	-
2	RGB888/RGB666/RGB565支持整组互换及高低位顺序互换	-	-

表 4-3 Speaker设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	DSPK为数字逻辑信号, 需要外接RC (R=100, C=470nF) 滤波转换成模拟信号, 才能给到音频功放芯片	-	-

表 4-4 以太网设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	若使用内部参考时钟, RMII_TXC 输出时钟接外部PHY_TXC, 外部PHY_TXC需配置为Input	-	-
2	若使用外部参考时钟, RMII_REF_CLK 输入时钟接外部PHY_TXC, 外部PHY_TXC需配置为Output	-	-
3	若使用CLK_OUT输出25M时钟供给外部PHY使用, CLK_OUT接PHY_XTAL2, PHY_XTAL1需要接GND	-	-
4	MDIO 信号要求接上拉电阻	-	-
5	偏置电阻必须焊接, 阻值根据外部PHY确定, 阻值通常为 2.49k或6.19k, 选择1%精度	-	-

表 4-5 串行通信接口设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	I2C 信号是OD输出, 需外接上拉电阻, 根据负载不同, 对接 sensor建议选择2k, 其余选择4.7k。	-	-
2	I2C 同一路信号挂多个设备时, 地址不能重复。	-	-

表 4-6 特殊GPIO设计 Checklist

序号	事项	确认 (PASS/NO PASS)	备注
1	可在UBOOT或bootloader配置任意IO为下拉检测或上拉检测进入升级模式, 默认使用PA0下拉检测, 建议预留按键或跳线	-	-
2	RTC_IO为OD输出, 使用时需要外挂上拉电阻, 上拉电平不超过5V, 可用于唤醒或输出32K时钟。	-	-